

MANUFACTURE OF LIQUID CRYSTAL DISPLAY PANEL

Publication number: JP11087726

Publication date: 1999-03-30

Inventor: MOMOI KYOJI; KANAI KIYOHICO

Applicant: SEIKO EPSON CORP

Classification:

- International: G02B5/00; G02F1/1335; G02F1/136; G02F1/1368; G09F9/30; H01L21/203; H01L21/3065; H01L21/3213; H01L21/336; H01L29/786; G02B5/00; G02F1/13; G09F9/30; H01L21/02; H01L29/66; (IPC1-7): H01L29/786; G02B5/00; G02F1/1335; G02F1/136; G09F9/30; H01L21/203

- european:

Application number: JP19970247296 19970911

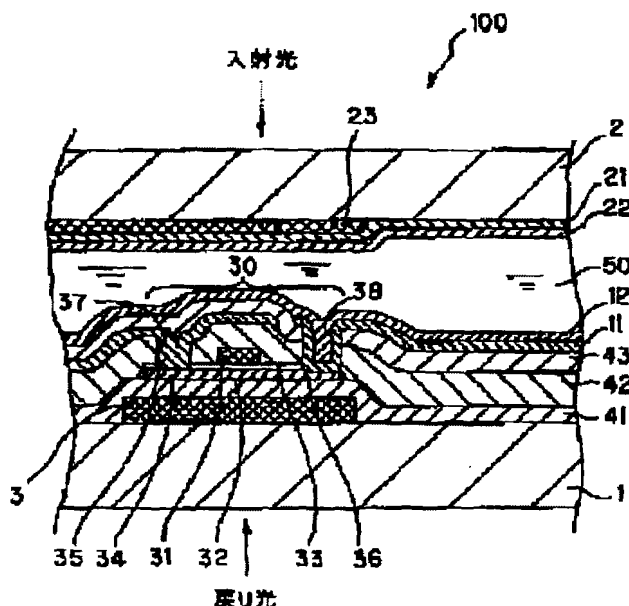
Priority number(s): JP19970247296 19970911

Report a data error here

Abstract of JP11087726

PROBLEM TO BE SOLVED: To manufacture an active matrix drive type liquid crystal display panel of a TFT drive, wherein a light-shielding performance against returning light is high while transistor characteristics is high.

SOLUTION: In a method for manufacturing a liquid crystal display panel 100 comprising liquid crystal 50 which is held between a pair of first and second substrates 1 and 2, a pixel electrode 11 provided in matrix on the first substrate 1, and a TFT 30 for switching-controlling it, a light-shielding film 3 is formed by sputtering on the first substrate 1 using a Wsi target, and the light-shielding film 3 is etched with SF₆/CF₄/O₂ as the etching gases.



Data supplied from the esp@cenet database - Worldwide

(19) Japanese Patent Office (JP)

(12) Publication of Laid-Open Patent Application (A)

(11) Publication Number of Patent Application:

Japanese Patent Laid-Open Publication No. 11-87726

(43) Date of Publication: March 30, 1999

(51) Int. Cl.⁶: H 01 L 29/786, G 02 B 5/00, G 02 F 1/1335, 1/136, G 09 9/30

Domestic Classification Symbol: 500, 500, 349

FI: H 01 L 29/78 619 B, G 02 B 5/00 B, G 02 F 1/1335 500,

1/136 500, G 09 F 9/30 349 C

Request for Examination: Not requested

Number of Claims: 4

OL

Total 17 pages

Continued to the last page

(21) Application Number:

Japanese Patent Application No. 9-247296

(22) Date of Filing: September 11, 1997

(71) Applicant: 000002369

Seiko Epson Corporation

2-4-1 Nishishinjuku, Shinjuku-ku, Tokyo

(72) Inventor: Kyoji MOMOI

c/o Seiko Epson Corporation

3-3-5 Owa, Suwa-shi, Nagano

(72) Inventor: Kiyohiko KANAI

c/o Seiko Epson Corporation

3-3-5 Owa, Suwa-shi, Nagano

(74) Representative: Patent Attorney Kisaburo SUZUKI and two others

(54) [Title of the Invention]

Manufacturing Method of Liquid Crystal Display Panel

(57) [Abstract]

[Problems to be Solved] To manufacture an active matrix drive type liquid crystal display panel of a TFT drive whose light-shielding performance against returning light and transistor characteristics are high.

[Solution] In a manufacturing method of a liquid crystal display panel (100) comprising liquid crystal (50) which is held between a pair of first and second substrates (1 and 2), a pixel electrode provided in a matrix on the first substrate and a

TFT (30) for switching-controlling it, a light-shielding film is formed by sputtering on the first substrate using a WSi target, and the light-shielding film is etched using $\text{SF}_6/\text{CF}_4/\text{O}_2$ as the etching gases.

[Scope of Claims]

[Claim 1] A manufacturing method of a liquid crystal display panel comprising a pair of first and second substrates, liquid crystal held between the first and second substrates, a plurality of transparent pixel electrodes provided in a matrix on a side which faces the liquid crystal of the first substrate, a plurality of switching elements provided on the first substrate in positions adjacent to each of the plurality of pixel electrodes for switching-controlling each of the plurality of pixel electrodes, a light-shielding layer formed of WSi (tungsten silicide) provided between the first substrate and the plurality of switching elements respectively in positions opposing to each of the plurality of switching elements and an interlayer insulating layer provided between the light-shielding layer and the plurality of switching elements, comprising the steps of:

forming a light-shielding film whose thickness is in a range of 1000 Å to 3000 Å on the first substrate by sputtering using a WSi target wherein a mole ratio (Si/W) of Si (silicon) and W (tungsten) is in a range of 2.0 to 3.0 and Si phase grain boundary size is 30 μm or less;

forming a mask which corresponds to a pattern of the light-shielding layer on the formed light-shielding film by photolithography; and

forming the light-shielding layer by performing etching to the light-shielding film through the mask.

[Claim 2] A manufacturing method of a liquid crystal display panel comprising a pair of first and second substrates, liquid crystal held between the first and second substrates, a plurality of transparent pixel electrodes provided in a matrix on a side which faces the liquid crystal of the first substrate, a plurality of switching elements provided on the first substrate in positions adjacent to each of the plurality of pixel electrodes for switching-controlling each of the plurality of pixel electrodes, a light-shielding layer formed of WSi (tungsten silicide) provided between the first substrate and the plurality of switching elements respectively in positions opposing to each of the plurality of switching elements and an interlayer insulating layer provided between the light-shielding layer and the plurality of switching elements, comprising the steps of:

forming a light-shielding film on the first substrate by sputtering using a WSi target;

forming a mask which corresponds to a pattern of the light-shielding layer on the formed light-shielding film by photolithography; and

forming the light-shielding layer by performing chemical dry etching to the light-shielding film through the mask using $\text{SF}_6/\text{CF}_4/\text{O}_2$ as the etching gases, with a flow of SF_6 in a range of 5% to 30% of a flow of all the etching gases, a flow of CF_4 in a range of 30% to 75% of a flow of all the etching gases, and a flow of O_2 in a range of 20% to 40% of a flow of all the etching gases.

[Claim 3] A manufacturing method of a liquid crystal display panel according to claim 1, wherein the etching process comprises the step of performing chemical dry etching using $\text{SF}_6/\text{CF}_4/\text{O}_2$ as the etching gases, with a flow of SF_6 in a range of 5% to 30% of a flow of all the etching gases, a flow of CF_4 in a range of 30% to 75% of a flow of all the etching gases, and a flow of O_2 in a range of 20% to 40% of a flow of all the etching gases.

[Claim 4] A manufacturing method of a liquid crystal display panel according to any one of claims 1 to 3, wherein the liquid crystal display panel is provided further with a wiring formed of WSi having a predetermined wiring pattern, further comprising the steps of:

forming a WSi film for a wiring by sputtering using a WSi target;

forming a mask which corresponds to the wiring pattern on the formed WSi film by photolithography; and

forming the wiring by performing chemical dry etching to the WSi film through the mask using $\text{SF}_6/\text{CF}_4/\text{O}_2$ as the etching gases, with a flow of SF_6 in a range of 5% to 30% of a flow of all the etching gases, a flow of CF_4 in a range of 30% to 75% of a flow of all the etching gases, and a flow of O_2 in a range of 20% to 40% of a flow of all the etching gases.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] The present invention relates to a field of manufacturing method of an active matrix drive type liquid crystal display panel of a TFT (thin film transistor) drive, especially a field of manufacturing method of a liquid crystal display panel provided with a black matrix on the under side of the TFT, used for a liquid crystal projector or the like.

[0002]

[Prior Art] Conventionally, as for a liquid crystal display panel used as a light valve for a liquid crystal projector or the like of this kind, incident light generally is entered from the side of an opposite substrate which is placed opposing to a TFT array substrate with a liquid crystal layer therebetween. Here, when the incident light enters a region for channel formation structured by an a-Si (amorphous silicon) film or a p-Si

(polysilicon) film of the TFT, a photoelectric current is generated by a photoelectric conversion effect in this region, and the transistor characteristics of the TFT deteriorate. Therefore, a plurality of light-shielding layers called black matrix are generally formed in positions which oppose to each TFT on the opposite substrate. Such black matrix is made of a metal material such as Cr (chrome) or a material such as resin black where carbon is dispersed on a photo resist, and it has functions such as improvement of contrast and prevention of color materials mixture, besides light-shielding for the a-Si film and the p-Si film of the TFT mentioned above.

[0003] Furthermore, as for a liquid crystal display panel of this kind, especially in the case where an a-Si or p-Si TFT of a positive stagger type or a coplanar type with a top gate structure (that is, a structure in which a gate electrode is provided on the upper side of the channel) on the TFT array substrate is used, it is necessary to prevent a part of incident light from entering the channel of the TFT from the TFT array substrate side as returning light due to the optical system for projecting in the liquid crystal projector.

[0004] For this reason, in Japanese published unexamined application No. 9-127497 bulletin, Japanese published examined application No. 3-52611 bulletin, Japanese published unexamined application No. 3-125123 bulletin, Japanese published unexamined application No. 8-171101 bulletin and the like, the manufacturing technique of a liquid crystal display panel in which a black matrix is formed also in a position opposing to the TFT (that is, the under side of the TFT) on the TFT array substrate formed of a quartz substrate or the like is proposed. Because of the black matrix formed as this, light-shielding against returning light for the a-Si film or the p-Si film of the TFT is supposed to be possible. Especially according to this manufacturing technique, in order to prevent the black matrix from being destroyed or melting by a high-temperature treatment in the TFT formation process after the black matrix formation process on the TFT array substrate, the black matrix is formed of an opaque refractory metal.

[0005] In addition, according to the conventional manufacturing technique as this, a refractory metal film is formed on the TFT array substrate by sputtering or the like, and after that, the black matrix having a predetermined pattern is formed by etching it.

[0006]

[Problems to be Solved by the Invention] However, according to the conventional manufacturing technique described above, there are following problems. That is, the black matrix for light-shielding against returning light is formed of a refractory metal, so that its thermal compatibility with the TFT array substrate formed of a quartz substrate or the like where the black matrix is formed is bad. More specifically, when

placed in a high-temperature environment and a room temperature environment at the times of process of forming an interlayer insulating layer, a TFT, various electrodes, various wirings and the like over the black matrix after the black matrix is formed and at the time of use, stress is generated due to the difference in physical properties such as coefficient of thermal expansion between the black matrix and the TFT array substrate or each element of these. Therefore, a distortion or a crack occurs in the black matrix, or a distortion or a crack occurs in the TFT array substrate, the interlayer insulating layer, each constituent element of the TFT or the like. Such crack easily occurs in the part where a contact hole for electric connection is formed on each layer, for example. As a result, the formation process of the TFT, the formation process of the wiring and the like do not go well and a conduction failure or an insulation failure occurs, a part of returning light enters a channel of the TFT from the crack of the black matrix in the eventually completed liquid crystal display panel and the transistor characteristics deteriorate, and an image defect due to an element defect occurs.

[0007] In addition, when the black matrix is formed by simply performing etching to the refractory metal film formed on the TFT array substrate by sputtering or the like, as the conventional manufacturing technique described above, the section of the formed black matrix becomes a rectangle or an overhang. Therefore, when a wiring is provided thereon, or a TFT, a pixel electrode or the like is provided above via an interlayer insulating layer therebetween, adhesion of the wiring, the interlayer insulating layer or the like is bad, and as a result, a conduction failure such as disconnection and an insulation failure are caused.

[0008] In this way, according to the conventional manufacturing technique described above, transistor characteristics of the TFT deteriorate by forming the light-shielding film on the under side of the TFT, and conduction, insulation or the like of the TFT, various electrodes formed above and the light-shielding film itself becomes defective by forming the light-shielding film inside of a base, which are problems. Furthermore, there is also a problem that the light-shielding film structured as this is not enough to shield against returning light.

[0009] The present invention is made in view of the above-mentioned problems, and its task is to provide a manufacturing method of a liquid crystal display panel with which an active matrix drive type liquid crystal display panel whose light-shielding performance against light such as returning light from the under side of a switching element such as a TFT and switching characteristics of the switching element are high, by forming a light-shielding layer suppressing the generation of stress due to the difference in coefficient of thermal expansion or the like as described above.

[0010]

[Means for Solving the Problem] In order to solve the above-described problems, the manufacturing method of a liquid crystal display panel according to claim 1 is a manufacturing method of a liquid crystal display panel comprising a pair of first and second substrates, liquid crystal held between the first and second substrates, a plurality of transparent pixel electrodes provided in a matrix on a side which faces the liquid crystal of the first substrate, a plurality of switching elements provided on the first substrate in positions adjacent to each of the plurality of pixel electrodes for switching-controlling each of the plurality of pixel electrodes, a light-shielding layer formed of WSi (tungsten silicide) provided between the first substrate and the plurality of switching elements respectively in positions opposing to each of the plurality of switching elements and an interlayer insulating layer provided between the light-shielding layer and the plurality of switching elements, comprising the steps of: forming a light-shielding film whose thickness is in a range of 1000 Å to 3000 Å on the first substrate by sputtering using a WSi target wherein a mole ratio (Si/W) of Si (silicon) and W (tungsten) is in a range of 2.0 to 3.0 and Si phase grain boundary size is 30 μm or less; forming a mask which corresponds to a pattern of the light-shielding layer on the formed light-shielding film by photolithography; and forming the light-shielding layer by performing etching to the light-shielding film through the mask.

[0011] According to the manufacturing method of a liquid crystal display panel according to claim 1, a light-shielding film is formed on a first substrate by sputtering, a mask which corresponds to a pattern of a light-shielding layer is formed on the light-shielding film by photolithography, and etching is performed to the light-shielding film through the mask, so that the light-shielding layer of a particular pattern is formed.

[0012] Here, especially in the sputtering process, a WSi target is used. As for the WSi target, the mole ratio (Si/W) of Si and W is in a range of 2.0 to 3.0, so the thermal compatibility between the light-shielding layer formed of WSi which is refractory metal silicide including silicon and the first substrate formed of a quartz substrate or the like is good. More specifically, compared to the case where the light-shielding layer is formed of a refractory metal such as W, Ti (titanium), Cr (chrome), Ta (tantalum), Mo (molybdenum) and Pd (lead), the case where the light-shielding layer is formed of silicide of refractory metal such as Ti, Cr, Ta, Mo and Pd, or the case where the light-shielding layer formed of WSi is formed using a WSi target with a mole ratio of less than 2.0 or more than 3.0, stress generated due to the difference in physical properties such as coefficient of thermal expansion between the light-shielding layer and the first substrate, the interlayer insulating layer and each constituent element of the

switching element at the time of being placed in a high-temperature environment and a room temperature environment is decreased. Furthermore, as for the WSi target used in the sputtering process, the Si phase grain boundary size is 30 μm or less, so that homogenization of film quality of the light-shielding layer is promoted. By this, local decrease in light-shielding properties in the light-shielding layer is prevented. On the other hand, the light-shielding layer's performance as a base layer of the switching element improves, and local stress or generation of a crack due to inhomogeneous film quality of the light-shielding layer can be prevented. In addition, since the thickness of the light-shielding film formed as this is 1000 \AA or more, light-shielding rate (transmissivity) of 1% or less which is enough light-shielding properties to prevent characteristics of the switching element from deteriorating even when light such as returning light enters the liquid crystal display panel from the first substrate side can be obtained. On the other hand, since the thickness of the light-shielding film is 3000 \AA or less, planarization of the upper surface of the light-shielding layer where the interlayer insulating layer is to be formed is promoted, and stress due to the difference in coefficient of thermal expansion or the like described above can be prevented from being excessively increased with the thickness.

[0013] Therefore, light-shielding properties of the light-shielding layer and the switching characteristics of the switching element can be improved, while preventing a distortion or a crack from occurring in the light-shielding layer, or a distortion or a crack from occurring in the first substrate, the interlayer insulating layer, each constituent element of the switching element or the like.

[0014] In order to solve the above-described problems, the manufacturing method of a liquid crystal display panel according to claim 2 is a manufacturing method of a liquid crystal display panel comprising a pair of first and second substrates, liquid crystal held between the first and second substrates, a plurality of transparent pixel electrodes provided in a matrix on a side which faces the liquid crystal of the first substrate, a plurality of switching elements provided on the first substrate in positions adjacent to each of the plurality of pixel electrodes for switching-controlling each of the plurality of pixel electrodes, a light-shielding layer formed of WSi (tungsten silicide) provided between the first substrate and the plurality of switching elements respectively in positions opposing to each of the plurality of switching elements and an interlayer insulating layer provided between the light-shielding layer and the plurality of switching elements, comprising the steps of: forming a light-shielding film on the first substrate by sputtering using a WSi target; forming a mask which corresponds to a pattern of the light-shielding layer on the formed light-shielding film by photolithography; and

forming the light-shielding layer by performing chemical dry etching to the light-shielding film through the mask using $\text{SF}_6/\text{CF}_4/\text{O}_2$ as the etching gases, with a flow of SF_6 in a range of 5% to 30% of a flow of all the etching gases, a flow of CF_4 in a range of 30% to 75% of a flow of all the etching gases, and a flow of O_2 in a range of 20% to 40% of a flow of all the etching gases.

[0015] According to the manufacturing method of a liquid crystal display panel according to claim 2, a light-shielding film is formed on a first substrate by sputtering using a WSi target, a mask which corresponds to a pattern of a light-shielding layer is formed on the light-shielding film by photolithography, and etching is performed to the light-shielding film through the mask, so that the light-shielding layer of a particular pattern is formed.

[0016] Here, especially in the etching process, $\text{SF}_6/\text{CF}_4/\text{O}_2$ are used as the etching gases for the chemical dry etching. And, a flow of SF_6 is set to be in a range of 5% to 30% of a flow of all the etching gases, and a flow of CF_4 is set to be in a range of 30% to 75% of a flow of all the etching gases. In this way, etching can be performed to the light-shielding film in a relatively short time with a practically reasonably high etching rate of approximately several hundred to several thousand Å (angstrom)/min (minutes), for example, keeping uniformity of the etching and selectivity of the etching for the light-shielding layer and the first substrate high enough. In addition to that, since a flow of O_2 is set to be in a range of 20% to 40% of a flow of all the etching gases, the chemical dry etching can be performed so that the light-shielding layer after the etching has a taper without overhanging. As a result, when various wirings or the like such as wirings for an interlayer insulating layer, a switching element, various electrode and a light-shielding layer are formed over the light-shielding layer having a taper as a base, adhesion of the interlayer insulating layer, the wiring or the like is dramatically good, compared to the case where a light-shielding layer in the shape of an overhang or a rectangle is used as a base as in the conventional manufacturing technique described above.

[0017] In order to solve the above-described problems, the manufacturing method of a liquid crystal display panel according to claim 3 is a manufacturing method according to claim 1 wherein the etching process comprises the step of performing chemical dry etching using $\text{SF}_6/\text{CF}_4/\text{O}_2$ as the etching gases, with a flow of SF_6 in a range of 5% to 30% of a flow of all the etching gases, a flow of CF_4 in a range of 30% to 75% of a flow of all the etching gases, and a flow of O_2 in a range of 20% to 40% of a flow of all the etching gases.

[0018] According to the manufacturing method according to claim 3, since the

sputtering process of claim 1 and the etching process of claim 2 are both included, functions and effects of these processes can be both obtained.

[0019] In order to solve the above-described problems, the manufacturing method of a liquid crystal display panel according to claim 4 is a manufacturing method according to any one of claims 1 to 3, wherein the liquid crystal display panel is provided further with a wiring formed of WSi having a predetermined wiring pattern, further comprising the steps of: forming a WSi film for a wiring by sputtering using a WSi target; forming a mask which corresponds to the wiring pattern on the formed WSi film by photolithography; and forming the wiring by performing chemical dry etching to the WSi film through the mask using $\text{SF}_6/\text{CF}_4/\text{O}_2$ as the etching gases, with a flow of SF_6 in a range of 5% to 30% of a flow of all the etching gases, a flow of CF_4 in a range of 30% to 75% of a flow of all the etching gases, and a flow of O_2 in a range of 20% to 40% of a flow of all the etching gases.

[0020] According to the manufacturing method of a liquid crystal display panel according to claim 4, even for a wiring made of WSi such as a gate wiring of the case where a switching element is a TFT, for example, the chemical dry etching can be performed so that the wiring after the etching has a taper, while performing etching for a WSi film for a wiring with a high etching rate, in the same way as the case of the light-shielding film in claim 2 or 3. As a result, when various wirings, an insulating layer, various electrodes or the like are formed over the wiring having a taper as a base, adhesion of these is dramatically good.

[0021] These functions and other benefits of the present invention will become clear from embodiments described below.

[0022]

[Embodiments] Hereinafter, embodiments of the present invention will be described, based on the drawings.

[0023] Fig. 1 is a cross-sectional view of a liquid crystal display panel of an embodiment of the present invention. In Fig. 1, in order to show each layer and each member in a recognizable size on the drawing, different reduction scales are used for each layer and each member. Fig. 2 is a plan view of various electrodes or the like formed on a TFT array substrate 1 shown in Fig. 1.

[0024] In Fig. 1, a liquid crystal display panel 100 is provided with the TFT array substrate 1 which structures an example of a transparent first substrate and an opposite substrate 2 which structures an example of a transparent second substrate placed opposing to the TFT array substrate 1. The TFT array substrate 1 is formed of a quartz substrate, for example, and the opposite substrate 2 is formed of a glass substrate, for

example.

[0025] The TFT array substrate 1 is provided with a plurality of transparent pixel electrodes 11 in a matrix, as shown in Fig. 2, and an orientation film 12 with a predetermined orientation treatment such as a rubbing done is provided thereon, as shown in Fig. 1. The pixel electrode 11 is formed of a transparent conductive thin film such as an ITO film (indium tin oxide film), for example. The orientation film 12 is formed of an organic thin film such as a polyimide thin film, for example.

[0026] On the other hand, the opposite substrate 2 is provided with a common electrode 21 on all over its surface, and an orientation film 22 with a predetermined orientation treatment such as a rubbing done is provided under. The common electrode 21 is formed of a transparent conductive thin film such as an ITO film, for example. The orientation film 22 is formed of an organic thin film such as a polyimide thin film, for example.

[0027] The TFT array substrate 1 is provided with a plurality of TFTs 30 as an example of switching elements for switching-controlling the plurality of pixel electrodes 11 respectively, in positions adjacent to each of the plurality of pixel electrodes 11, as shown in Fig. 1 and Fig. 2.

[0028] The opposite substrate 2 is further provided with a black matrix 23 in a predetermined region opposing to the TFT 30. The black matrix as this is made from a metal material such as Cr (chrome) and Ni (nickel) or a material such as resin black where carbon or Ti (titanium) is dispersed on a photo resist, and it has functions such as improvement of contrast and prevention of color materials mixture, besides light-shielding for the p-Si (polysilicon) layer 32 of the TFT 30.

[0029] Between the TFT array substrate 1 and the opposite substrate 2 which are structured as above and placed so that the pixel electrodes 11 and the common electrodes 21 face each other, a space enclosed by an after-mentioned sealing agent 52 (refer to Fig. 4 and Fig. 5) is filled with liquid crystal, so that a liquid crystal layer 50 is formed. The liquid crystal layer 50 has a predetermined orientation condition by the orientation films 12 and 22, under the condition where an electric field from the pixel electrode 11 is not applied. The liquid crystal layer 50 is formed of liquid crystal mixed with one or several kinds of nematic liquid crystal, for example. The sealing agent 52 is an adhesive to bond the two substrates 1 and 2 in their peripheries.

[0030] In positions opposing to the TFTs 30 respectively, light-shielding layers 3 formed of WSi (tungsten silicide) are provided respectively between the TFT array substrate 1 and the plurality of TFTs 30. Furthermore, a first interlayer insulating layer 41 is provided between the light-shielding layer 3 and the plurality of TFTs 30. The

first interlayer insulating layer 41 is provided for electrically insulating a p-Si layer 32 structuring the TFT 30 from the light-shielding layer 3. Furthermore, the first interlayer insulating layer 41 is formed all over the surface of the TFT array substrate 1 so that it has a function as a base film for the TFT 30. That is, it has a function of preventing the characteristics of the TFT 30 from deteriorating due to roughness at the time of polishing of the TFT array substrate 1's surface, dirt remained after cleaning or the like.

[0031] As for the light-shielding layer 3, in the case where it is formed using the sputtering process in the first example or the third example of the after-mentioned manufacturing process, the bad thermal compatibility between the light-shielding layer 3 and the TFT array substrate 1 is improved, compared to the case where the above-mentioned conventional manufacturing technique (Japanese published unexamined application No. 9-127497 bulletin or the like) is used.

[0032] In addition, as for the light-shielding layer 3, it is formed so as to have a taper in the case where it is formed using the etching process in the second example or the third example of the after-mentioned manufacturing process. Therefore, adhesion of the interlayer insulating layer, the wiring or the like formed above the light-shielding layer 3 is dramatically good, compared to the case where a light-shielding layer in the shape of an overhang or a rectangle is used as a base as in the above-mentioned conventional manufacturing technique (Japanese published unexamined application No. 9-127497 bulletin or the like), and possibility of a conduction failure and an insulation failure between each layer is reduced.

[0033] The light-shielding layer 3 is grounded or connected to a constant potential source, via a predetermined wiring through a contact hole not shown in the figure. In this way, the switching characteristics of the TFT 30 or the like is not badly affected by the change in electric potential of the light-shielding layer 3. However, the light-shielding layer 3 may be electrically floating, or, the light-shielding layer 3 may be used as a wiring for an after-mentioned storage capacitor (refer to Fig. 3).

[0034] The first interlayer insulating layer 41 is formed of highly insulating glass such as NSG (non doped silicate glass), PSG (phosphorus silicate glass), BSG (boron silicate glass), BPSG (boron phosphorus silicate glass) and the like, a silicon oxide film or the like.

[0035] As shown in Fig. 1, the TFT 30 is provided with a gate electrode 31 (scanning electrode), a p-Si layer 32 where a channel is formed by an electric field from the gate electrode 31, a gate insulating layer 33 to insulate the gate electrode 31 and the p-Si layer 32, a source region 34 formed in the p-Si layer 32, a source electrode 35 (signal

electrode), and a drain region 36 formed in the p-Si layer 32. One corresponding electrode of the plurality of pixel electrodes 11 is connected to the drain region 36. As mentioned after, the source region 34 and the drain region 36 are formed by doping n-type or p-type dopant of predetermined concentration to the p-Si layer 32, depending on which channel (n-type or p-type) is to be formed. A TFT with an n-type channel has an advantage that the operation speed is high, and a TFT with a p-type channel has an advantage that the p-type channel is made easily. The source electrode 35 (signal electrode) may be structured by a transparent conductive thin film such as an ITO film in the same way as the pixel electrode 11, or it may be structured by an opaque thin film such as a metal film of Al or the like and metal silicide. In addition, over the gate electrode 31, the gate insulating layer 33 and the first interlayer insulating layer 41, a second interlayer insulating layer 42 where a contact hole 37 leading to the source region 34 and a contact hole 38 leading to the drain region 36 are formed respectively is formed. The source electrode 35 (signal electrode) is electrically connected to the source region 34 through this contact hole 37 leading to the source region 34. Furthermore, over the source electrode 35 (signal electrode) and the second insulating layer 42, a third interlayer insulating layer 43 where a contact hole 38 leading to the drain region 36 is formed is formed. The pixel electrode 11 is electrically connected to the drain region 36 through this contact hole 38 leading to the drain region 36. The above-mentioned pixel electrode 11 is provided on the upper surface of the third interlayer insulating layer 43 structured as this.

[0036] Here, when light enters the p-Si layer 32 where a channel is formed, a photoelectric current is generated by a photoelectric conversion effect which p-Si has, and the transistor characteristics of the TFT 30 deteriorate, generally. However, in the present embodiment, a plurality of black matrixes 23 are formed in positions opposing to each TFT 30 on the opposite substrate 2, so incident light is prevented from entering the p-Si layer 32 directly. In addition to that, or in place of that, when the source electrode 35 (signal electrode) is formed of an opaque metal thin film such as Al so as to cover the gate electrode 31 from the upper side, it can effectively prevent incident light (that is, light from the upper side in Fig. 1) from entering the p-Si layer 32, with the black matrix 23 or by itself.

[0037] As shown in the plan view of Fig. 2, the pixel electrodes 11 structured as above are arranged in a matrix on the TFT array substrate 1, and the TFT 30 is provided adjacent to each pixel electrode 11. In addition, the source electrode 35 (signal electrode) and the gate electrode 31 (scanning electrode) are provided along the horizontal and vertical borders of the pixel electrode 11 respectively. Fig. 2 is to show

the matrix arrangement of the pixel electrodes 11 and the like, simplifying them for convenience of explanation. Each of the actual electrodes is wired between or on the interlayer insulating layers through contact holes or the like, and it has a three-dimensional, more complex structure as can be seen in Fig. 1.

[0038] Although not shown in Fig. 1, a storage capacitor 70 is provided for the pixel electrode 11 respectively, as shown in Fig. 3. More specifically, this storage capacitor 70 is structured by a p-Si layer 32' formed by the same process as the p-Si layer 32, an insulating layer 33' formed by the same process as the gate insulating layer 33, a storage capacitor electrode (capacity line) 31' formed by the same process as the gate electrode 31, the second and third interlayer insulating layers 42 and 43, and a part of the pixel electrode 11 opposing to the storage capacitor electrode 31' through the second and third interlayer insulating layers 42 and 43. Since the storage capacitor 70 is provided as this, a highly-detailed display is possible even when the duty ratio is small. As shown in Fig. 2, the storage capacitor electrode (capacity line) 31' is provided so as to be parallel to the gate electrode (scanning electrode) 31 on the surface of the TFT array substrate 1. Furthermore, as described above, the light-shielding layer 3 may be used as a wiring for the storage capacitor 70.

[0039] The entire structure of the liquid crystal display panel 100 structured as above will be described, referring to Fig. 4 and Fig. 5. Fig. 4 is a plan view in which the TFT array substrate 1 and each constituent element formed thereon are seen from the opposite substrate 2 side, and Fig. 5 is a cross-sectional view at H-H' of Fig. 4, showing the opposite substrate 2 included.

[0040] In Fig. 4, on the TFT array substrate 1, a sealing agent 52 is provided along the edge, and a periphery break line 53 of the opposite substrate 2 is set in parallel on the inside. In a region outside of the sealing agent 52, a driver circuit for X-side drive 101 and a mounting terminal 102 are provided along one side of the TFT array substrate 1, and driver circuits for Y-side drive 104 are provided along the two sides adjacent to the one side described above. A plurality of wirings 105 are provided on the last one side of the TFT array substrate 1. In addition, silver points 106 formed of a conduction agent to obtain electric continuity between the TFT array substrate 1 and the opposite substrate 2 are provided in the four corners of the sealing agent 52. And, as shown in Fig. 5, the opposite substrate 2 having substantially the same contour as the sealing agent 52 shown in Fig. 4 is bonded to the TFT array substrate 1 by the sealing agent 52.

[0041] The driver circuit for X-side drive 101 and the driver circuit for Y-side drive 104 are electrically connected to the source electrode 35 (signal electrode) and the gate electrode (scanning electrode) by wirings respectively. A display signal converted to a

form with which an immediate display is possible is inputted to the driver circuit for X-side drive 101 from a control circuit not shown in the figure, and the driver circuit for X-side drive 101 sends a signal voltage corresponding to the display signal to the source electrode 35 (signal electrode), in accordance with the driver circuit for Y-side drive 104 sending a gate voltage to the gate electrode 31 (scanning electrode) in order, like a pulse. Especially in the present embodiment, the TFT 30 is a TFT of a p-Si (polysilicon) type, so it is possible that the driver circuit for X-side drive 101 and the driver circuit for Y-side drive 104 are formed in the same process when the TFT 30 is formed, which is advantageous in manufacturing.

[0042] Instead of providing the driver circuit for X-side drive 101 and the driver circuit for Y-side drive 104 on the TFT array substrate 1, they may be electrically and mechanically connected to an LSI for drive which is mounted on a TAB (tape automated bonding substrate), for example, through an anisotropic conductive film provided on the peripheral part of the TFT array substrate 1.

[0043] Furthermore, although not shown in Fig. 1 to Fig. 5, a polarizing film, a phase difference film, an polarizing plate and the like are placed in a predetermined direction on the side where incident light enters of the opposite substrate 2 and on the side from where incident light exits of the TFT array substrate 1 respectively, corresponding to the operation mode such as a TN (twisted nematic) mode, STN (super TN) mode and D-STN (double-STN) mode, or the difference of a normally white mode and a normally black mode, for example.

[0044] Next, the operation of the present embodiment structured as above will be described, referring to Fig. 1 to Fig. 5.

[0045] First, the driver circuit for X-side drive 101 which received a display signal from the control circuit applies a signal voltage to the source electrode 35 (signal electrode), with the timing and size corresponding to this display signal. In parallel with this, the driver circuit for Y-side drive 104 sequentially applies a gate voltage to the electrode 31 (scanning electrode) with a predetermined timing, like a pulse, and the TFT 30 is driven. By this, in the TFT 30 to which a source voltage is applied when the gate voltage is on, a voltage is applied to the pixel electrode 11 through the source region 34, the channel and drain region 36 formed in and the p-Si layer 32. And, the voltage of the pixel electrode 11 is maintained by the storage capacitor 70 (refer to Fig. 3) for a triple-digits longer time, for example, than the time the source voltage is applied.

[0046] In this way, when a voltage is applied to the pixel electrode 11, the orientation condition of liquid crystal in a part held between the pixel electrode 11 and the common electrode 21 in the liquid crystal layer 50 changes. In the case of the normally white

mode, the incident light cannot pass through the liquid crystal part under the condition where the voltage is applied, and in the case of the normally black mode, the incident light can pass through the liquid crystal part under the condition where the voltage is applied. And as a whole, light having a contrast corresponding to the display signal is emitted from the liquid crystal display panel 100.

[0047] Especially in the present embodiment, the light-shielding layer 3 is provided under the TFT 30, so that bad effects due to returning light are reduced, as described above. Therefore, the transistor characteristics of the TFT 30 are improved, and ultimately, a well-colored, high-quality image with a high contrast can be displayed by the liquid crystal display panel 100.

[0048] <First example of the manufacturing process> Next, the first example of the manufacturing process of a liquid crystal display panel 100 will be described, referring to Fig. 6 and Fig. 7.

[0049] First, as shown in the process (1) of Fig. 6, a TFT array substrate 1 of a quartz substrate, hard glass or the like is prepared. Here, an annealing treatment is performed preferably with an inert gas atmosphere such as N₂ (nitrogen) and high temperature of approximately 1000 °C, and a pretreatment for reducing a distortion generated in the TFT array substrate 1 in the high temperature process conducted later is performed.

[0050] A light-shielding film is formed all over the surface of the TFT array substrate 1 treated as above, by sputtering using a WSi target. Then, a mask which corresponds to a pattern of the light-shielding layer 3 is formed on the formed light-shielding film by photolithography. And by performing etching to the light-shielding film through the mask, the light-shielding film formed all over the substrate surface is left only in a region where a TFT 30 is to be formed, so that the light-shielding layer 3 is formed.

[0051] Especially in the first example of the manufacturing process, in the sputtering process, the mole ratio (Si/W) of Si (silicon) and W (tungsten) of the WSi target is in a range of 2.0 to 3.0, and the Si phase grain boundary size is 30 μm or less. And sputtering is performed so that the thickness of the light-shielding film is in a range of 1000 Å to 3000 Å. Here, since the mole ratio (Si/W) of Si and W of the WSi target is in a range of 2.0 to and 3.0, the thermal compatibility between the light-shielding layer 3 formed of WSi which is refractory metal silicide including silicon and the TFT array substrate 1 formed of a quartz substrate including Si or the like is good. More specifically, compared to the case where the light-shielding layer 3 is formed of a refractory metal such as W, Ti, Cr, Ta, Mo and Pd, the case where the light-shielding layer 3 is formed of silicide of refractory metal such as Ti, Cr, Ta, Mo and Pd, and the case where the light-shielding layer formed of WSi is formed using a WSi target with

the mole ratio (Si/W) of less than 2.0 or more than 3.0, stress generated due to the difference in physical properties such as coefficient of thermal expansion between the light-shielding layer 3 and the TFT array substrate 1, the first interlayer insulating layer 41 and each constituent element of the TFT 30 at the time of being placed in a high-temperature environment and a room temperature environment is decreased. Furthermore, as for the WSi target, the Si phase grain boundary size is 30 μm or less, so that homogenization of film quality of the light-shielding layer 3 is promoted. By this, local decrease in light-shielding rate in the light-shielding layer 3 is prevented. On the other hand, the light-shielding layer 3's performance as a base layer of the TFT 30 improves, and local stress or generation of a crack due to inhomogeneous film quality of the light-shielding layer 3 can be prevented. In addition, since the thickness of the light-shielding layer 3 formed as this is 1000 \AA or more, light-shielding rate (transmissivity) of 1% or less which is an enough light-shielding properties to prevent characteristics of the TFT 30 from deteriorating even when returning light enters the liquid crystal display panel 100 from the TFT array 1 side can be obtained. On the other hand, since the thickness of the light-shielding layer 3 is 3000 \AA or less, planarization of the upper surface of the light-shielding layer 3 where the first interlayer insulating layer 41 is to be formed is promoted, and thermal stress to the light-shielding layer 3 can be prevented from being excessively increased with the thickness. In the case where the light-shielding layer is thinner than 1000 \AA , an enough light-shielding effect (transmissivity of approximately 1%, for example) cannot be obtained. And in the case where the light-shielding layer is thicker than 3000 \AA , thermal stress generated in a high-temperature environment and a room temperature environment in the process of forming the TFT 30 becomes too large. In addition to that, increase in the time and cost for forming the light-shielding layer 3 itself is caused, and a bump of the first interlayer insulating layer 41 on which the TFT 30 is formed later becomes too big, which makes formation of the TFT 30 difficult. It is preferable that the thickness of the light-shielding layer 3 is approximately 1500 to 2500 \AA . With this range, good light shielding properties can be obtained, and the problem of a bump hardly occurs practically. As a result of the above, a distortion and a crack in the light-shielding layer 3, or a distortion and a crack in the TFT array substrate 1, the first interlayer insulating layer 41, each constituent element of the TFT 30 or the like can be prevented.

[0052] In addition, when the sputtering process described above is performed, it is preferable that the temperature of the TFT transistor substrate 1 is kept at approximately 200 $^{\circ}\text{C}$. When the sputtering is performed as this, generation of thermal stress to the light-shielding layer 3 can be decreased without virtually raising the transmissivity of

the light-shielding layer 3 (that is, without virtually decreasing light-shielding effect).

[0053] The light-shielding layer 3 is formed so as to cover at least a region for channel formation, the source region 34 and the drain region 36 of the p-Si layer 32 of the TFT 30, seen from the rear surface of the TFT array substrate 1.

[0054] Next, as shown in the process (2) of Fig. 6, the first interlayer insulating layer 41 formed of a silicate glass film such as NSG, PSG, BSG and BPSG, a nitride film, a silicon oxide film or the like is formed on the light-shielding layer 3 by atmospheric or low pressure CVD or the like, using TEOS (tetraethyl orthosilicate) gas, TEB (triethoxy borine) gas, TMOP (trimethoxy phosphine) gas or the like. It is preferable that the thickness of the first interlayer insulating layer 41 is approximately 500 to 8000 Å. Or, a high-temperature oxidized silicon film (HTO film) or a nitride film may be deposited to a relatively thin thickness of approximately 500 Å by low pressure CVD or the like, after a thermally-oxidized film is formed, so that a first interlayer insulating layer 41 having a multilayer structure with a thickness of approximately 2000 Å is formed. In addition, over the silicate glass film as this or in place of it, a plane film may be formed by spin-coating SOG (spin on glass) or conducting a CMP (Chemical Mechanical Polishing) treatment. In this way, when the upper surface of the first interlayer insulating layer 41 has been planarized by spin-coating or a CMP treatment, the TFT 30 can be easily formed thereon later, which is an advantage.

[0055] By conducting an annealing treatment at approximately 900 °C to the first interlayer insulating layer 41, it may be planarized as well as preventing contamination.

[0056] Next, as shown in the process (3) of Fig. 6, an a-Si (amorphous silicon) film is formed on the first interlayer insulating layer 41 by low pressure CVD (CVD with a pressure of approximately 20 to 40 Pa, for example) using a silane gas, a disilane gas or the like with the flow approximately 400 to 600 cc/min, in a relatively low temperature environment of approximately 450 to 550 °C, preferably approximately 500 °C. After that, a p-Si (polysilicon) film is grown in a solid phase to a thickness of approximately 500 to 2000 Å, preferably to a thickness of approximately 1000 Å, by conducting an annealing treatment for approximately 1 to 10 hours, preferably 4 to 6 hours, at approximately 600 to 700 °C, in a nitrogen atmosphere. At this time, in the case of making a TFT 30 of an n-channel type, a small amount of dopant of V group element such as Sb (antimony), As (arsenic) and P (phosphorus) is doped by ion implantation or the like. Furthermore, in the case where a TFT 30 is to be a p-channel type, a small amount of dopant of III group element such as Al (aluminum), B (boron), Ga (gallium) and In (indium) is doped by ion implantation or the like. A p-Si film may be directly formed by low pressure CVD or the like, without going through an a-Si film. Or,

silicon ions may be implanted to a p-Si film deposited by low pressure CVD or the like to make it amorphous once, then it may be recrystallized by an annealing treatment or the like so that a p-Si film is formed.

[0057] Next, as shown in the process (4) of Fig. 6, a thermally-oxidized film with a relatively thin thickness of approximately 300 Å is formed by thermally oxidizing the p-Si layer 32 at a temperature of approximately 900 to 1300 °C, preferably at a temperature of approximately 1000 °C, and a high-temperature oxidized silicon film (HTO film) or a nitride film is deposited to a relatively thin thickness of approximately 500 Å by low pressure CVD or the like, so that a gate insulating layer 33 having a multilayer structure is formed. As a result, the thickness of the p-Si layer 32 becomes approximately 300 to 1500 Å, preferably approximately 350 to 450 Å, and the thickness of the gate insulating layer 33 becomes approximately 200 to 1500 Å, preferably approximately 300 Å. In this way, by shortening the time for high temperature thermal oxidation, warpage due to heat can be prevented in the case of using a large wafer of approximately 8 inches, especially. However, a gate insulating layer 33 having a single layer structure may be formed by only thermally oxidizing the p-Si layer 32.

[0058] Next, as shown in the process (5) of Fig. 6, after p-Si is deposited over the p-Si layer 32 through the gate insulating layer 33 by low pressure CVD or the like, a gate electrode 31 (scanning electrode) is formed by a photolithography process or an etching process using a gate mask.

[0059] However, the gate electrode 31 (scanning electrode) may be formed from a metal film such as Al or a metal silicide film, instead of a p-Si layer. Or it may be formed to be multilayered, combining these metal film or metal silicide film and a p-Si film. In that case, when the gate electrode 31 (scanning electrode) is placed as a light-shielding film corresponding to a part of or all the region covered by a black matrix 23, it is possible that a part of or all the black matrix 23 is omitted, because of the light-shielding properties which the metal film or the metal silicide film has. In that case, especially, decrease in a pixel aperture ratio caused by bonding misalignment of the opposite substrate 2 and the TFT array substrate 1 can be prevented, which is an advantage.

[0060] Next, as shown in the process (6) of Fig. 7, in the case where a TFT 30 is an n-channel type TFT having a LDD (Lightly Doped Drain Structure) structure, in order to form a low concentration dope region which constitutes a part adjacent to the channel side in a source region 34 and a drain region 36 respectively, a dopant of V group element such as P is doped with a low concentration (P ions with a dose amount of 1 to $3 \times 10^{13}/\text{cm}^2$, for example) using the gate electrode 31 as a diffusion mask. Next, after

a resist layer is formed on the gate electrode 31 with a mask wider than the gate electrode 31, a dopant of V group element such as P is doped with a high concentration (P ions with a dose amount of 1 to $3 \times 10^{15}/\text{cm}^2$, for example) as the above. In addition, in the case where a TFT 30 is a p-channel type, in order to form a source region 34 and a drain region 36 in an n-type p-Si layer 32, doping is performed using a dopant of III group element such as B. In the case of an LDD structure as this, an advantage in which a short channel effect can be reduced is obtained. Doping is not necessarily performed divided into two stages for a high concentration and a low concentration like this. For example, a TFT of an offset structure may be made without performing doping of a low concentration, and a TFT of a self-aligning type may be made by an ion implantation technique using P ions, B ions and the like, with the gate electrode 31 as a mask.

[0061] In parallel to these processes, a driver circuit for X-side drive 101 and a driver circuit for Y-side drive 104, having a CMOS (complementary MOS) structure constituted by an n-channel type p-Si TFT and a p-channel type p-Si TFT, are formed in a peripheral part on the TFT array substrate 1. In this way, since the TFT 30 is a p-Si TFT, the driver circuit for X-side drive 101 and the driver circuit for Y-side drive 104 can be formed by the same process when the TFT 30 is formed, which is an advantage in manufacturing.

[0062] Next, as shown in the process (7) of Fig. 7, a second interlayer insulating layer 42 formed of a silicate glass film such as NSG, PSG, BSG and BPSG, a nitride film, a silicon oxide film or the like is formed so as to cover the gate electrode 31 (scanning electrode) by using atmospheric or low pressure CVD, TEOS gas and the like. It is preferable that the thickness of the second interlayer insulating layer 42 is approximately 5000 to 15000 Å. After an annealing treatment at approximately 1000 °C is performed for approximately 20 minutes in order to activate the source region 34 and the drain region 36, a contact hole 37 for a source electrode 31 (signal electrode) is formed by dry etching such as reactive etching and reactive ion beam etching. At this time, when the contact hole 37 is opened by anisotropic etching such as reactive etching and reactive ion beam etching, the aperture shape can be substantially the same as the mask shape, which is an advantage. However, when the aperture is made combining dry etching and wet etching, the contact hole 37 can be a tapered-shape, so that an advantage of preventing breaking at the time of wiring connection can be obtained. In addition, a contact hole to connect the gate electrode 31 (scanning electrode) with a wiring not shown in the figure is also made in the second interlayer insulating layer 42 by the same process as the contact hole 37.

[0063] Next, as shown in the process (8) of Fig. 7, low resistance metal such as Al, metal silicide or the like is deposited on the second interlayer insulating layer 42 to a thickness of approximately 1000 to 5000 Å by sputtering or the like. Then, a source electrode 35 (signal electrode) is formed by a photolithography process, a wet etching process or the like.

[0064] In that case, when the source electrode 35 (signal electrode) is placed as a light-shielding film corresponding to a part of or all the region covered by the black matrix 23, it is possible that a part of or all the black matrix 23 is omitted, because of the light-shielding properties which the metal film such as Al or the metal silicide film has. In that case, especially, decrease in a pixel aperture ratio caused by bonding misalignment of the opposite substrate 2 and the TFT array substrate 1 can be prevented, which is an advantage.

[0065] Next, as shown in the process (9) of Fig. 7, a third interlayer insulating layer 43 formed of a silicate glass film such as NSG, PSG, BSG and BPSG, a nitride film, a silicon oxide film or the like is formed so as to cover the source electrode 35 (signal electrode) by using atmospheric or low pressure CVD, TEOS gas and the like. It is preferable that the thickness of the third interlayer insulating layer 43 is approximately 5000 to 15000 Å. Alternatively, in place of the silicate glass film as this or over it, a plane film may be formed by spin-coating an organic film or SOG (spin on glass), or by conducting a CMP treatment.

[0066] In addition, a contact hole 38 for electrically connecting the pixel electrode 11 and the drain region 36 is formed by dry etching such as reactive etching and reactive ion beam etching. At this time, when the contact hole 38 is opened by anisotropic etching such as reactive etching and reactive ion beam etching, the aperture shape can be substantially the same as the mask shape, which is an advantage. However, when the aperture is made combining dry etching and wet etching, the contact hole 38 can be a tapered-shape, so that an advantage of preventing breaking at the time of wiring connection can be obtained.

[0067] Next, as shown in the process (10) of Fig. 7, a transparent conductive thin film such as an ITO film is deposited to a thickness of approximately 500 to 2000 Å on the third interlayer insulating layer 43 by a sputtering treatment or the like, and the pixel electrode 11 is formed by a photolithography process, a wet etching process or the like. In the case where the liquid crystal display panel 100 is used for a reflective liquid crystal display device, the pixel electrode 11 may be formed from an opaque material with high reflectivity such as Al.

[0068] Then, after an embrocation of an orientation film of polyimide is applied on

the pixel electrode 11, an orientation film 12 shown in Fig. 1 is formed by performing a rubbing treatment in a predetermined direction so that it will have a predetermined pretilt angle.

[0069] On the other hand, as for the opposite substrate 2 shown in Fig. 1, a glass substrate or the like is prepared first, and a black matrix 23 is formed thereon in a position which corresponds to each of the plurality of TFTs 30 through a photolithography process and an etching process after chromium metal is sputtered, for example. The black matrix may be formed from a material such as resin black where carbon or Ti is dispersed on a photo resist, besides a metal material such as Cr and Ni. After that, a transparent conductive thin film such as ITO is deposited to a thickness of approximately 500 to 2000 Å all over the surface of the opposite substrate 2 by a sputtering treatment or the like so that a common electrode 21 is formed. Furthermore, after an embrocation of an orientation film of polyimide is applied on all over the surface of the common electrode 21, an orientation film 22 is formed by performing a rubbing treatment in a predetermined direction so that it will have a predetermined pretilt angle.

[0070] Lastly, the TFT array substrate 1 and the opposite substrate 2 where each layer is formed as described above are bonded together by a sealing agent 52 so that the orientation films 12 and 22 face each other, and liquid crystal formed by mixing a plurality of kinds of nematic liquid crystal, for example, is introduced into a space between the two substrates by vacuum suction or the like, so that a liquid crystal layer 50 of a predetermined thickness is formed.

[0071] As for the storage capacitor 70 shown in Fig. 3, it can be formed as follows: a p-Si layer 32' is formed on the first interlayer insulating layer 41 by the same process as the above-described p-Si layer 32, and an insulating layer 33' is formed thereon by the same process as the above-described gate insulating layer 33, then a storage capacitor electrode (capacity line) 31' is formed thereon by the same process as the gate electrode 31.

[0072] By the manufacturing process above, the liquid crystal display panel 100 shown in Fig. 1 is completed.

[0073] According to this manufacturing process, even in the case of being placed in a high-temperature environment and a room temperature environment, stress generated due to the difference in physical properties such as coefficient of thermal expansion between the light-shielding layer 3 and the TFT array substrate 1 or the first interlayer insulating layer 41 is decreased. Therefore, generation of a distortion and a crack in the light-shielding layer 3, or generation of a distortion and a crack in the TFT array

substrate 1, the first interlayer insulating layer 41, each constituent element of the TFT 30 or the like can be prevented considerably well, compared to the case where the above-mentioned conventional manufacturing technique (Japanese published unexamined application No. 9-127497 bulletin or the like) is used. So, a part of returning light is prevented effectively from entering a channel of the TFT 30 from a crack of the light-shielding layer 3, and also bad effects due to a distortion and a crack of the light-shielding layer 3 or the like on the formation process of the TFT after that can be effectively prevented. As a result, the light-shielding properties and reliability of the light-shielding layer 3 become dramatically better, so that the transistor characteristics of the TFT 30 can be improved.

[0074] As a result of the above, by the first example of the present manufacturing process, the liquid crystal display panel 100 which can display a well-colored, high-definition image with a high contrast can be manufactured relatively easily.

[0075] <Second example of the manufacturing process> Next, the second example of the manufacturing process of a liquid crystal display panel 100 will be described, referring to Fig. 6 to Fig. 11.

[0076] First, in the same way as the first example, a TFT array substrate 1 of a quartz substrate, hard glass or the like is prepared, as shown in the process (1) of Fig. 6.

[0077] Next, a light-shielding film is formed all over the surface of the TFT array substrate 1 by sputtering using a WSi target. Then, a mask which corresponds to a pattern of the light-shielding layer 3 is formed on the formed light-shielding film by photolithography. And by performing etching to the light-shielding film through the mask, the light-shielding film formed all over the substrate surface is left only in a region where a TFT 30 is to be formed, so that the light-shielding layer 3 is formed.

[0078] In the second example of the manufacturing process, especially in the etching process, $\text{SF}_6/\text{CF}_4/\text{O}_2$ are used as the etching gases for the chemical dry etching. And, a flow of SF_6 is set to be in a range of 5% to 30% of a flow of all the etching gases, a flow of CF_4 is set to be in a range of 30% to 75% of a flow of all the etching gases, and a flow of O_2 is set to be in a range of 20% to 40% of a flow of all the etching gases. In this way, etching can be performed to the light-shielding film in a relatively short time with a practically reasonably high etching rate of approximately several hundred to several thousand Å/min, for example. In addition, after the etching, the light-shielding film 3 can be formed so as to have a taper as a light-shielding layer 3b in Fig. 8 (that is, the taper angle is less than 90 degrees), without being an overhang as a light-shielding layer 3' in Fig. 8 (that is, the taper angle is more than 90 degrees) or a rectangle not having a taper as a light-shielding layer 3a in Fig. 8 (that is, the taper angle is 90

degrees), by the chemical dry etching. In Fig. 8, masks 4', 4a and 4b made by a photo resist is indicated by dotted lines in the way of masking corresponding light-shielding layers 3', 3a and 3b.

[0079] Here, the etching gas having such flow ratio will be described in more detail, referring to Fig. 8 to Fig. 11. Fig. 9 shows change in the etching rate and uniformity of the etching rate (uniformity of the etching rate in an 8-inch substrate surface) when a flow of SF_6 in the etching gas formed of $\text{SF}_6/\text{CF}_4/\text{O}_2$ is changed for a light-shielding film formed of WSi. Fig. 10 shows change in the etching rate when a flow of SF_6 in the etching gas formed of $\text{SF}_6/\text{CF}_4/\text{O}_2$ is changed for a quartz substrate as an example of a TFT array substrate 1. Fig. 11 shows change in the etching rate and change in the taper angle when a flow of O_2 in the etching gas formed of $\text{SF}_6/\text{CF}_4/\text{O}_2$ is changed for a light-shielding film formed of WSi.

[0080] First, as seen in Fig. 9, when a flow of SF_6 is increased, the etching rate for a light-shielding film formed of WSi increases, substantially in direct proportion to this. Therefore, according to the conventional idea, high etching rate is obtained by setting a flow of SF_6 high to the extent that the etching depth can be controlled.

[0081] Furthermore, as seen in Fig. 11, when a flow of O_2 is increased, the etching rate increases, substantially in direct proportion to this, up to approximately 10%. And the etching rate is substantially saturated with approximately 10%. Therefore, according to the conventional idea, high etching rate is obtained by setting a flow of O_2 at approximately 10% or a predetermined value less than that to the extent that the etching depth can be controlled.

[0082] However, as seen in Fig. 9, uniformity of the etching rate has the lowest value around a flow of SF_6 10% (that is, the uniformity is best there). In addition, as seen in Fig. 10, when a flow of SF_6 is increased, the etching rate for a quartz substrate increases, substantially in direct proportion to this.

[0083] So, in the present embodiment, a flow of SF_6 is set to be in a range of 5% to 30% of a flow of all the etching gases so that uniformity of the etching rate is lower than 15% with which experientially preferable etching is possible and the selectivity of the etching to the light-shielding film and the quartz substrate is kept high.

[0084] Furthermore, as shown in Fig. 11, when a flow of O_2 is increased, the mask 4' or 4a formed of a photo resist shown in Fig. 8 is hardly etched by the etching up to 15%, so an overhang as the light-shielding layer 3' in Fig. 8 is formed, or a taper is hardly formed as the light-shielding layer 3a in Fig. 8. And as shown in Fig. 11, when a flow of O_2 is further increased, the mask 4b formed of a photo resist shown in Fig. 8 is etched by the etching, so the taper angle decreases responding to the increase of the O_2

flow, and a taper such as the light-shielding layer 3b in Fig. 8 is formed.

[0085] So, in the present embodiment, as for the etching gas formed of $\text{SF}_6/\text{CF}_4/\text{O}_2$, in order that a taper is formed in the light-shielding layer 3 formed of WSi and a relatively high etching rate is obtained, a flow of SF_6 is set to be in a range of 5% to 30% of a flow of all the etching gases, a flow of CF_4 is set to be in a range of 30% to 75% of a flow of all the etching gases, and a flow of O_2 is set to be in a range of 20% to 40% of a flow of all the etching gases, as described above.

[0086] In this way, according to the present embodiment, as seen in Fig. 8 to Fig. 11, a practically reasonably high (that is, high to the extent that the etching depth can be controlled relatively easily) etching rate of approximately several hundred to several thousand Å/min can be obtained, while keeping uniformity of the etching rate in the surface to be etched. In addition, a practically moderate taper angle of approximately 80 to 50 degrees can be obtained.

[0087] After that, by the same processes as processes (2) to (10) of Fig. 6 and Fig. 7 described in the first example of the manufacturing process, a liquid crystal display panel 100 is manufactured.

[0088] By this manufacturing process, the first interlayer insulating layer 41, the TFT 30, the source electrode 35 (signal electrode), the gate electrode 31 (scanning electrode), pixel electrode 11, various wirings such as a wiring for the light-shielding layer 3 and the like are formed over the light-shielding layer 3 having a taper as a base, by processes (2) to (10). Therefore, adhesion of these interlayer insulating layer, the wiring or the like is dramatically good, compared to the case where a light-shielding layer in the shape of an overhang or a rectangle is used as a base, according to the above-mentioned conventional manufacturing technique, and as a result, a conduction failure such as breaking and an insulation failure between each layer are reduced.

[0089] Especially in the second example of the present manufacturing process, the gate electrode 31 (scanning electrode) may be formed from a WSi film with the same composition as the light-shielding layer 3, by the same sputtering process, photolithography process and etching process as the light-shielding layer 3 described above. In that case, as is the case with the light-shielding layer 3, when a wiring for electric connection to a driver circuit for X-side drive 101, the second interlayer insulating layer 42 and the like are formed over the gate electrode 31 (scanning electrode) as an example of a wiring having a taper, as a base, adhesion of these is dramatically good, which is an advantage.

[0090] As a result of the above, by the second example of the present manufacturing process, a liquid crystal display panel 100 which can display a well-colored,

high-definition image with a high contrast can be manufactured relatively easily.

[0091] <Third example of the manufacturing process> First, in the same way as the first example or the second example, a TFT array substrate 1 of a quartz substrate, hard glass or the like is prepared, as shown in the process (1) of Fig. 6.

[0092] Next, a light-shielding film is formed all over the surface of the TFT array substrate 1 by sputtering using a WSi target. Then, a mask which corresponds to a pattern of the light-shielding layer 3 is formed on the formed light-shielding film by photolithography. And by performing etching to the light-shielding film through the mask, the light-shielding film formed all over the substrate surface is left only in a region where a TFT 30 is to be formed, so that the light-shielding layer 3 is formed.

[0093] Especially in the third example of the manufacturing process, as is the case with the first example, in the sputtering process, a mole ratio (Si/W) of Si and W of the WSi target is in a range of 2.0 to 3.0, and the Si phase grain boundary size is 30 μm or less. And sputtering is performed so that the thickness of the light-shielding film is in a range of 1000 \AA to 3000 \AA .

[0094] Furthermore, especially in the third example of the manufacturing process, as is the case with the second example, in the etching process, $\text{SF}_6/\text{CF}_4/\text{O}_2$ are used as the etching gases for the chemical dry etching. And, a flow of SF_6 is set to be in a range of 5% to 30% of a flow of all the etching gases, a flow of CF_4 is set to be in a range of 30% to 75% of a flow of all the etching gases, and a flow of O_2 is set to be in a range of 20% to 40% of a flow of all the etching gases.

[0095] As a result of the above, a distortion and a crack can be prevented from being generated in the light-shielding layer 3, the TFT array substrate 1, the first interlayer insulating layer 41, each constituent element of the TFT 30 and the like, as is the case with the first example. In addition, characteristics deterioration of the TFT 30 caused by forming the light-shielding layer 3 under the TFT 30, a conduction failure and an insulation failure caused by forming the light-shielding layer 3 inside the base can be effectively prevented, as is the case with the second example.

[0096] As a result of the above, by the third example of the present manufacturing process, a liquid crystal display panel 100 which can display a well-colored, high-definition image with a high contrast can be manufactured relatively easily.

[0097] Lastly, consideration of how much the transistor characteristics of the TFT 30 are improved by a structure where the light-shielding layer 3 is formed by the sputtering process and the etching process unique to the present embodiment will be added, referring to Fig. 12 and Fig. 13. Fig. 12 shows the result of a transistor characteristics test for a liquid crystal display panel 100 of Fig. 1 manufactured by the third example of

the manufacturing process described above. Correspondingly, Fig. 13 shows the result of a transistor characteristics test for a comparative example where the light-shielding layer is formed of a Ti simple as an example of a refractory metal with the structure of the liquid crystal display panel 100 shown in Fig. 1. In Fig. 12 and Fig. 13, the horizontal axis shows a gate voltage applied to a gate electrode, and the vertical axis shows a drain current flowing at that time. In addition, the test results for two kinds of conditions, 15 V and 4 V as a source/drain voltage, are shown respectively.

[0098] Comparing Fig. 12 and Fig. 13, it is seen that the switching characteristics of the TFT is improved much better in the case where the light-shielding layer 3 is formed of WSi on the TFT array substrate 1 using the sputtering process and the etching process unique to the present embodiment, than the case where the light-shielding layer is formed of a Ti simple as an example of a refractory metal on the TFT array substrate 1.

[0099] In addition, in the case of the comparative example shown in Fig. 13, the switching characteristics of the TFT are improved, compared to the example of not providing a light-shielding layer at all and being affected by returning light directly.

[0100] The liquid crystal display panel 100 described above is applied to a color liquid crystal projector, so three liquid crystal display panels 100 are used as light valves for RGB respectively, and light of each color, decomposed through a dichroic mirror for RGB color decomposition, is entered into each panel as incident light. Therefore, in each embodiment, a color filter is not provided for the opposite substrate 2. However, in a liquid crystal display panel 100, color filters of RGB may be formed with the protective film on the opposite substrate 2 in a predetermined region opposing to the pixel electrode 11 where a black matrix 23 is not formed. By doing so, a liquid crystal display panel of the present embodiment can be applied to a color liquid crystal display device such as a direct-view-type or reflective color liquid crystal television, besides a liquid crystal projector.

[0101] Although, in the case of a liquid crystal display panel 100, incident light is entered from the opposite substrate 2 side in the same way as the conventional case, incident light may be entered from the TFT array substrate 1 side and exit from the opposite substrate 2 side, because the light-shielding layer 3 exists. That is, even when the liquid crystal display panel 100 is fixed to a liquid crystal projector in this way, light can be prevented from entering the p-Si layer 32 for channel formation, and a high-definition image can be displayed.

[0102] In the liquid crystal display panel 100, in order to control orientation defect of liquid crystal molecules in the TFT array substrate 1 side, a planarizing film may be further applied on the third interlayer insulating layer 43 by spin-coating or the like, or a

CMP treatment may be conducted.

[0103] In addition, although the description has been made setting that the switching element of the liquid crystal display panel 100 is a p-Si TFT of a positive stagger type or a coplanar type, application with various forms is possible even for a TFT of other types such as an inversely staggered TFT and an a-Si TFT, under a task of preventing returning light from entering a semiconductor layer for channel formation.

[0104] In addition, although the liquid crystal layer 50 is structured by nematic liquid crystal as an example in the liquid crystal display panel 100, polymer dispersion type liquid crystal where liquid crystal is dispersed as small particles in polymer may be used. In that case, orientation films 12 and 22, the above-described polarizing film, polarizing plate and the like become unnecessary, and advantages such as higher intensity and lower power consumption of the liquid crystal display panel due to increased usability of light can be obtained. Furthermore, in the case where the liquid crystal display panel 100 is applied to a reflective liquid crystal display device by structuring the pixel electrode 11 by a metal film with high reflectivity such as Al, SH (super homeotropic) liquid crystal in which liquid crystal molecules are aligned substantially vertical under the condition where no voltage is applied or the like may be used. Furthermore, although the common electrode 21 is provided on the opposite substrate 2 side so as to apply an electric field vertical to the liquid crystal layer 50 (longitudinal electric field) in the liquid crystal display panel 100, it is also possible to structure the pixel electrode 11 by a pair of electrodes for horizontal electric field generation respectively so as to apply an electric field parallel to the liquid crystal layer 50 (horizontal electric field) (that is, an electrode for longitudinal electric field generation is not provided on the opposite substrate 2 side, and an electrode for horizontal electric field generation is provided on the TFT array substrate 1 side). Using a horizontal electric field as this is more advantageous to widening the viewing angle, than using a longitudinal electric field. Besides the above, the present embodiment can be applied to various liquid crystal materials (liquid crystal phase), operation mode, liquid crystal alignment, driving method and the like.

[0105]

[Effects of the Invention] According to the manufacturing method of a liquid crystal display panel according to claim 1, the thermal compatibility between a light-shielding layer and a first substrate becomes good, and homogenization of film quality of the light-shielding layer is promoted. In addition, planarization of the upper surface of the light-shielding layer is promoted. In this way, stress does not excessively increase with the thickness of the light-shielding layer, so that a liquid crystal display panel with

enough light-shielding properties while preventing a distortion and a crack generated in the light-shielding layer, the first substrate, the interlayer insulating layer, each constituent element of the switching element or the like can be manufactured.

[0106] According to the manufacturing method of a liquid crystal display panel according to claim 2, a light-shielding layer having a taper can be formed by etching with a high etching rate, and an interlayer insulating layer, various wiring and the like can be formed thereon with good adhesion. Therefore, a liquid crystal display panel with enough light-shielding properties can be manufactured, neither deteriorating characteristics of the switching element since the light-shielding layer is formed under the switching element, nor causing a conduction failure or an insulation failure in the interlayer insulating layer, various wirings and the like since the light-shielding layer is formed inside the base.

[0107] According to the manufacturing method according to claim 3, since the sputtering process of claim 1 and the etching process of claim 2 are included, effects of these processes can be both obtained.

[0108] According to the manufacturing method of a liquid crystal display panel according to claim 4, even a wiring made of WSi such as a gate wiring can be formed so as to have a taper by etching with a high etching rate, in the same way as the case of the light-shielding film in claim 2 or 3, and various electrodes, an insulating layer, various wirings and the like can be formed thereon with good adhesion. Therefore, yield in manufacture of a liquid crystal display panel can be improved.

[Brief Description of the Drawings]

Fig. 1 is a cross-sectional view showing a structure of a liquid crystal display panel of the embodiment.

Fig. 2 is a plan view of a TFT array substrate structuring the liquid crystal display panel in Fig. 1.

Fig. 3 is a cross-sectional view of a storage capacitor structuring the liquid crystal display panel in Fig. 1.

Fig. 4 is a plan view showing the overall structure of the liquid crystal display panel in Fig. 1.

Fig. 5 is a cross-sectional view showing the overall structure of the liquid crystal display panel in Fig. 1.

Fig. 6 is a process drawing (1) showing the manufacturing process of the liquid crystal display panel in Fig. 1 in order.

Fig. 7 is a process drawing (2) showing the manufacturing process of the liquid crystal display panel in Fig. 1 in order.

Fig. 8 is a schematic diagram showing the relation between the overhang and a taper of a light-shielding layer and O₂ flow in the etching gas.

Fig. 9 is a schematic diagram showing change in the etching rate and change in uniformity for a light-shielding film in the manufacturing process of the present embodiment.

Fig. 10 is a characteristic diagram showing change in the etching rate for a quartz substrate in the manufacturing process of the present embodiment.

Fig. 11 is a characteristic diagram showing change in the etching rate and the taper angle for a light-shielding film in the manufacturing process of the present embodiment.

Fig. 12 is a characteristic diagram showing characteristics of a TFT provided for a liquid crystal display panel of the present embodiment.

Fig. 13 is a characteristic diagram showing characteristics of a TFT provided for a liquid crystal display panel as a comparative example.

[Description of Symbols]

- 1: TFT array substrate
- 2: opposite substrate
- 3, 3a, 3b and 3': light-shielding layer
- 4a, 4b and 4': mask
- 11: pixel electrode
- 12: orientation film
- 21: common electrode
- 22: orientation film
- 23: black matrix
- 30: TFT
- 31: gate electrode
- 32: p-Si layer
- 33: gate insulating layer
- 34: source region
- 35: source electrode (signal electrode)
- 36: drain region
- 37 and 38: contact hole
- 41: first interlayer insulating layer
- 42: second interlayer insulating layer
- 43: third interlayer insulating layer
- 50: liquid crystal layer

52: sealing agent
70: storage capacitor
100: liquid crystal display panel
101: driver circuit for X-side drive
102: mounting terminal
104: driver circuit for Y-side drive

Continued from the front page

(51) Int. Cl.⁶: H 01 L 21/203

Domestic Classification Symbol

FI: H 01 L 21/203, S

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87726

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl. ⁸	識別記号	F I
H 0 1 L 29/786		H 0 1 L 29/78 6 1 9 B
G 0 2 B 5/00		G 0 2 B 5/00 B
G 0 2 F 1/1335	5 0 0	G 0 2 F 1/1335 5 0 0
1/136	5 0 0	1/136 5 0 0
G 0 9 F 9/30	3 4 9	G 0 9 F 9/30 3 4 9 C

審査請求 未請求 請求項の数4 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願平9-247296

(22) 出願日 平成9年(1997) 9月11日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 桃井 恭次

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 金井 清彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

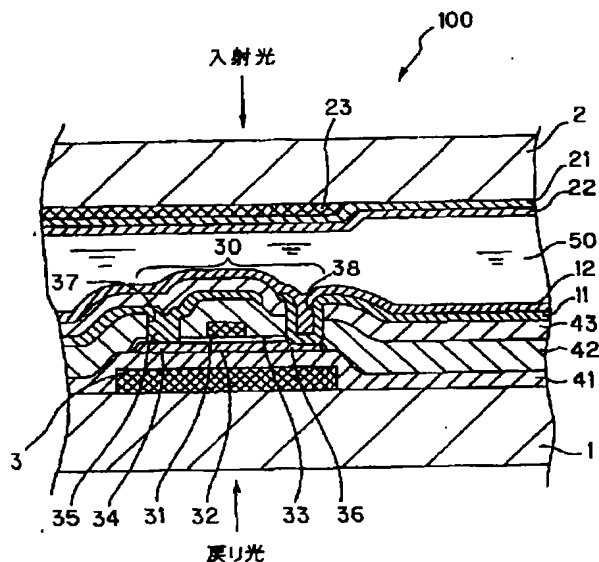
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 液晶表示パネルの製造方法

(57) 【要約】

【課題】 戻り光に対する遮光性能が高く且つトランジスタ特性が高いTFT駆動によるアクティブマトリクス駆動方式の液晶表示パネルを製造する。

【解決手段】 一对の第1及び第2基板(1、2)間に挟持された液晶(50)と、第1基板にマトリクス状に設けられた画素電極(11)と、これをスイッチング制御するTFT(30)とを備えた液晶表示パネル(100)の製造方法において、WSiターゲットを用いて第1基板上に遮光膜をスパッタリングにより形成し、SF₆/CF₄/O₂をエッチングガスとして該遮光膜をエッチングする。



【特許請求の範囲】

【請求項1】 一对の第1及び第2基板と、該第1及び第2基板間に挟持された液晶と、前記第1基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、該複数の画素電極に夫々隣接する位置において前記第1基板に設けられており前記複数の画素電極を夫々スイッチング制御する複数のスイッチング素子と、該複数のスイッチング素子に夫々対向する位置において前記第1基板と前記複数のスイッチング素子との間に夫々設けられたWSi（タングステンシリサイド）からなる遮光層と、前記遮光層と前記複数のスイッチング素子との間に設けられた層間絶縁層とを備えた液晶表示パネルの製造方法において、

Si（シリコン）とW（タングステン）のモル比（Si/W）が2.0以上3.0以下であり且つSi相粒界寸法が $30\mu\text{m}$ 以下であるWSiターゲットを用いたスパッタリングにより前記第1基板上に厚さが 1000\AA 以上 3000\AA 以下である遮光膜を形成するスパッタリング工程と、

該形成された遮光膜上にフォトリソグラフィにより前記遮光層のパターンに対応するマスクを形成するフォトリソグラフィ工程と、

該マスクを介して前記遮光膜に対しエッチングを行い前記遮光層を形成するエッチング工程とを備えたことを特徴とする液晶表示パネルの製造方法。

【請求項2】 一对の第1及び第2基板と、該第1及び第2基板間に挟持された液晶と、前記第1基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、該複数の画素電極に夫々隣接する位置において前記第1基板に設けられており前記複数の画素電極を夫々スイッチング制御する複数のスイッチング素子と、該複数のスイッチング素子に夫々対向する位置において前記第1基板と前記複数のスイッチング素子との間に夫々設けられたWSi（タングステンシリサイド）からなる遮光層と、前記遮光層と前記複数のスイッチング素子との間に設けられた層間絶縁層とを備えた液晶表示パネルの製造方法において、

WSiターゲットを用いたスパッタリングにより前記第1基板上に遮光膜を形成するスパッタリング工程と、該形成された遮光膜上にフォトリソグラフィにより前記遮光層のパターンに対応するマスクを形成するフォトリソグラフィ工程と、

該マスクを介して前記遮光膜に対し、 $\text{SF}_6/\text{CF}_4/\text{O}_2$ をエッチングガスとして用いて、 SF_6 の流量を前記エッチングガス全体の流量の5%以上30%以下とし、 CF_4 の流量を前記エッチングガス全体の流量の30%以上75%以下とし、且つ O_2 の流量を前記エッチングガス全体の流量の20%以上40%以下として、ケミカルドライエッチングを行い前記遮光層を形成するエッチング工程とを備えたことを特徴とする液晶表示パネルの製

造方法。

【請求項3】 前記エッチング工程は、 $\text{SF}_6/\text{CF}_4/\text{O}_2$ をエッチングガスとして用いて、 SF_6 の流量を前記エッチングガス全体の流量の5%以上30%以下とし、 CF_4 の流量を前記エッチングガス全体の流量の30%以上75%以下とし、且つ O_2 の流量を前記エッチングガス全体の流量の20%以上40%以下として、ケミカルドライエッチングを行う工程からなることを特徴とする請求項1に記載の液晶表示パネルの製造方法。

【請求項4】 前記液晶表示パネルは、所定の配線パターンを有するWSiからなる配線を更に備えており、WSiターゲットを用いたスパッタリングにより配線用のWSi膜を形成するスパッタリング工程と、該形成されたWSi膜上にフォトリソグラフィにより前記配線パターンに対応するマスクを形成するフォトリソグラフィ工程と、

該マスクを介して前記WSi膜に対し、 $\text{SF}_6/\text{CF}_4/\text{O}_2$ をエッチングガスとして用いて、 SF_6 の流量を前記エッチングガス全体の流量の5%以上30%以下とし、 CF_4 の流量を前記エッチングガス全体の流量の30%以上75%以下とし、且つ O_2 の流量を前記エッチングガス全体の流量の20%以上40%以下として、ケミカルドライエッチングを行い前記配線を形成するエッチング工程とを更に備えたことを特徴とする請求項1から3のいずれか一項に記載の液晶表示パネルの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、TFT（薄膜トランジスタ）駆動によるアクティブマトリクス駆動方式の液晶表示パネルの製造方法の技術分野に属し、特に、液晶プロジェクタ等に用いられる、TFTの下側にブラックマトリクスを設けた形式の液晶表示パネルの製造方法の技術分野に属する。

【0002】

【従来の技術】 従来、この種の液晶プロジェクタ等にライトバルブとして用いられる液晶表示パネルにおいては一般に、液晶層を挟んでTFTアレイ基板に対向配置される対向基板の側から投射光が入射される。ここで、投射光がTFTのa-Si（アモルファスシリコン）膜やp-Si（ポリシリコン）膜から構成されたチャネル形成用の領域に入射すると、この領域において光電変換効果により光電流が発生してしまいTFTのトランジスタ特性が劣化する。このため、対向基板には、各TFTに夫々対向する位置に複数のブラックマトリクスと呼ばれる遮光層が形成されるのが一般的である。このようなブラックマトリクスは、Cr（クロム）などの金属材料や、カーボンをフォトレジストに分散した樹脂ブラックなどの材料から作られ、上述のTFTのa-Si膜やp-Si膜に対する遮光の他に、コントラストの向上、色材の混色防止などの機能を有する。

【0003】更に、この種の液晶表示パネルにおいては特にトップゲート構造（即ち、TFTアレイベース板上においてゲート電極がチャンネルの上側に設けられた構造）を採る正スタガ型又はコプラナー型のa-Si又はp-SiTFTを用いる場合には、投射光の一部が液晶プロジェクト内の投射光学系により戻り光として、TFTアレイベースの側からTFTのチャンネルに入射するのを防ぐ必要がある。

【0004】このために、特開平9-127497号公報、特公平3-52611号公報、特開平3-125123号公報、特開平8-171101号公報等では、石英基板等からなるTFTアレイベース板上においてTFTに対向する位置（即ち、TFTの下側）にも、ブラックマトリクスを形成する液晶表示パネルの製造技術を提案している。このように形成したブラックマトリクスにより、TFTのa-Si膜やp-Si膜に対する戻り光の遮光が可能となるとされている。特にこの製造技術によれば、TFTアレイベース上のブラックマトリクス形成工程の後に行われるTFT形成工程における高温処理により、ブラックマトリクスが破壊されたり熔融したりしないようにするために、ブラックマトリクスを不透明な高融点金属から形成するようにしている。

【0005】また、このような従来の製造技術によれば、TFTアレイベース板上においてスパッタリング等による高融点金属膜の形成後に、これをエッチングして所定パターンを持つブラックマトリクスを形成するものとされている。

【0006】

【発明が解決しようとする課題】しかしながら、上述した従来の製造技術によれば、以下の問題点がある。即ち、戻り光の遮光用のブラックマトリクスは高融点金属からなるため、ブラックマトリクスが形成される石英基板等からなるTFTアレイベースとの熱的相性が悪い。より具体的には、ブラックマトリクスの形成後に当該ブラックマトリクスの上方に層間絶縁層、TFT、各種電極、各種配線等を形成する工程や使用の際に高温環境と常温環境とに置かれると、ブラックマトリクスとTFTアレイベースやこれらの各要素との間で熱膨張率等の物理的性質の差に起因して応力が発生してしまう。このため、ブラックマトリクスに歪みが生じたりクラックが入ったりし、或いは、TFTアレイベース、層間絶縁層、TFTの各構成要素等に歪みが生じたりクラックが入ってしまう。このようなクラックは、例えば各層に電気的接続用のコンタクトホールを形成した箇所で起こり易い。この結果、TFTの形成工程や配線の形成工程等がうまく行かず導通不良や絶縁不良が起こったり、最終的に完成した液晶表示パネルにおいてブラックマトリクスのクラックから戻り光の一部がTFTのチャンネルに入射してトランジスタ特性が劣化したり、素子不良による画像不良が生じたりする。

【0007】また上述した従来の製造技術のように、TFTアレイベース上にスパッタリング等により形成した高融点金属膜に対し、単純にエッチングを施してブラックマトリクスを形成するのでは、形成されたブラックマトリクスの断面は矩形となったり、オーバーハングとなったりする。従って、この上に配線を施したり、この上方に層間絶縁層を介してTFT、画素電極等を設けたりすると、配線や層間絶縁層等の付き回りが悪く、結果的に断線等の導通不良や絶縁不良などを引き起こしてしまう。

【0008】このように上述した従来の製造技術によれば、TFTの下側に遮光膜を形成することにより、TFTのトランジスタ特性が劣化したり、遮光膜を下地内部に形成することで、その上方に形成するTFTや各種電極、及び遮光膜自体の導通や絶縁等が不良となってしまうという問題点があり、更に、このように構成された遮光膜では、戻り光を遮光するには十分でないという問題点もある。

【0009】本発明は上述した問題点に鑑みなされたものであり、上述の如き熱膨張率の差などに起因した応力の発生を抑えつつ遮光層を形成することにより、TFT等のスイッチング素子の下側からの戻り光等の光に対する遮光性能が高く且つ該スイッチング素子のスイッチング特性が高いアクティブマトリクス駆動方式の液晶表示パネルを製造し得る液晶表示パネルの製造方法を提供することを課題とする。

【0010】

【課題を解決するための手段】請求項1に記載の液晶表示パネルの製造方法は上記課題を解決するために、一対の第1及び第2基板と、該第1及び第2基板間に挟持された液晶と、前記第1基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、該複数の画素電極に夫々隣接する位置において前記第1基板に設けられており前記複数の画素電極を夫々スイッチング制御する複数のスイッチング素子と、該複数のスイッチング素子に夫々対向する位置において前記第1基板と前記複数のスイッチング素子との間に夫々設けられたWSi（タングステンシリサイド）からなる遮光層と、前記遮光層と前記複数のスイッチング素子との間に設けられた層間絶縁層とを備えた液晶表示パネルの製造方法において、Si（シリコン）とW（タングステン）のモル比（Si/W）が2.0以上3.0以下であり且つSi相粒界寸法が30μm以下であるWSiターゲットを用いたスパッタリングにより前記第1基板上に厚さが1000Å以上3000Å以下である遮光膜を形成するスパッタリング工程と、該形成された遮光膜上にフォトリソグラフィにより前記遮光層のパターンに対応するマスクを形成するフォトリソグラフィ工程と、該マスクを介して前記遮光膜に対しエッチングを行い前記遮光層を形成するエッチング工程とを備えたことを特徴とする。

【0011】請求項1に記載の液晶表示パネルの製造方法によれば、スパッタリングにより遮光膜が第1基板上に形成され、該遮光膜上にフォトリソグラフィにより遮光層のパターンに対応するマスクが形成され、該マスクを介して遮光膜に対しエッチングが行われて、特定パターンの遮光層が形成される。

【0012】ここで特にスパッタリング工程においては、WSiターゲットが用いられ、このWSiターゲットは、SiとWのモル比(Si/W)が2.0以上3.0以下であるので、シリコンを含む高融点金属シリサイドであるWSiからなる遮光層と石英基板等からなる第1基板との熱的相性が良くなる。より具体的には、仮にWやTi(チタン)、Cr(クロム)、Ta(タンタル)、Mo(モリブデン)、Pd(鉛)等の高融点金属単体から遮光層を形成した場合や、仮にTi、Cr、Ta、Mo、Pd等の高融点金属のシリサイドから遮光層を形成した場合や、仮にモル比が2.0未満又は3.0より大きいWSiターゲットを用いてWSiからなる遮光層を形成した場合と比べて、高温環境と常温環境とに置かれた際に、遮光層と、第1基板、層間絶縁層及びスイッチング素子の各構成要素との間で、熱膨張率等の物理的性質の差に起因して発生する応力が低減される。また、スパッタリング工程において用いられるWSiターゲットは、そのSi相粒界寸法が $30\mu\text{m}$ 以下であるので、遮光層の膜質の均一化が促進される。これにより、遮光層における局所的な遮光性の低下が阻止され、他方で遮光層が持つスイッチング素子の下地層として性能が向上すると共に、遮光層の膜質の不均一化による局所的な応力やクラックの発生を阻止し得る。更に、このように形成される遮光膜の厚さは、 1000\AA 以上であるので、遮光率(透過率)1%以下という、第1基板の側から戻り光などの光が当該液晶表示パネルに入射してもスイッチング素子の特性を劣化させないに十分な遮光性が得られる。一方、該遮光膜の厚さが 3000\AA 以下であるので、層間絶縁層が形成される遮光層の上面の平坦化が促進されると共に、厚さに伴って前述の熱膨張率の差などに起因する応力が過度に大きくなるのを阻止し得る。

【0013】従って、例えば遮光層に歪みが生じたりクラックが入ったり、或いは、第1基板、層間絶縁層、スイッチング素子の各構成要素などに歪みが生じたりクラックが入ってしまうのを阻止しつつ、遮光層の遮光性を高め得ると共にスイッチング素子のスイッチング特性を高め得る。

【0014】請求項2に記載の液晶表示パネルの製造方法は上記課題を解決するために、一対の第1及び第2基板と、該第1及び第2基板間に挟持された液晶と、前記第1基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、該複数の画素電極に夫々隣接する位置において前記第1基板に設けられており

前記複数の画素電極を夫々スイッチング制御する複数のスイッチング素子と、該複数のスイッチング素子に夫々対向する位置において前記第1基板と前記複数のスイッチング素子との間に夫々設けられたWSi(タングステンシリサイド)からなる遮光層と、前記遮光層と前記複数のスイッチング素子との間に設けられた層間絶縁層とを備えた液晶表示パネルの製造方法において、WSiターゲットを用いたスパッタリングにより前記第1基板上に遮光膜を形成するスパッタリング工程と、該形成された遮光膜上にフォトリソグラフィにより前記遮光層のパターンに対応するマスクを形成するフォトリソグラフィ工程と、該マスクを介して前記遮光膜に対し、 $\text{SF}_6/\text{CF}_4/\text{O}_2$ をエッチングガスとして用いて、 SF_6 の流量を前記エッチングガス全体の流量の5%以上30%以下とし、 CF_4 の流量を前記エッチングガス全体の流量の30%以上75%以下とし、且つ O_2 の流量を前記エッチングガス全体の流量の20%以上40%以下として、ケミカルドライエッチングを行い前記遮光層を形成するエッチング工程とを備えたことを特徴とする。

【0015】請求項2に記載の液晶表示パネルの製造方法によれば、WSiターゲットを用いたスパッタリングにより遮光膜が第1基板上に形成され、該遮光膜上にフォトリソグラフィにより遮光層のパターンに対応するマスクが形成され、該マスクを介して遮光膜に対しエッチングが行われて、特定パターンの遮光層が形成される。

【0016】ここで特にエッチング工程においては、 $\text{SF}_6/\text{CF}_4/\text{O}_2$ がケミカルドライエッチング用のエッチングガスとして用いられる。そして、 SF_6 の流量を該エッチングガス全体の流量の5%以上30%以下とし、 CF_4 の流量を該エッチングガス全体の流量の30%以上75%以下とするので、エッチングの均一性並びに遮光層及び第1基板に対するエッチングの選択比を十分に高く維持しつつ、例えば数百~数千 \AA (オングストローム)/min(分)程度の実用上適度に高いエッチングレートにより遮光膜に対し比較的短時間でエッチングを行うことができる。しかも、 O_2 の流量を該エッチングガス全体の流量の20%以上40%以下とするので、エッチング後の遮光層がオーバーハングすることなくテーパを持つように当該ケミカルドライエッチングを行うことができる。この結果、前述した従来の製造技術のようにオーバーハング状や矩形状の遮光層を下地とする場合と比較して、テーパを持つ遮光層を下地としてその上に層間絶縁層やスイッチング素子、各種電極、遮光層用の配線などの各種配線等を形成した際に、これらの層間絶縁層、配線等の付き回りが格段に良くなる。

【0017】請求項3に記載の液晶表示パネルの製造方法は上記課題を解決するために、請求項1に記載の製造方法において、前記エッチング工程は、 $\text{SF}_6/\text{CF}_4/\text{O}_2$ をエッチングガスとして用いて、 SF_6 の流量を前記エッチングガス全体の流量の5%以上30%以下とし、

CF₄の流量を前記エッチングガス全体の流量の30%以上75%以下とし、且つO₂の流量を前記エッチングガス全体の流量の20%以上40%以下として、ケミカルドライエッチングを行う工程からなることを特徴とする。

【0018】請求項3に記載の製造方法によれば、請求項1におけるスパッタリング工程及び請求項2におけるエッチング工程の両方を含むので、これらの工程による作用及び効果の両方が得られる。

【0019】請求項4に記載の液晶表示パネルの製造方法は上記課題を解決するために、請求項1から3のいずれか一項に記載の製造方法において、前記液晶表示パネルは、所定の配線パターンを有するWSiからなる配線を更に備えており、WSiターゲットを用いたスパッタリングにより配線用のWSi膜を形成するスパッタリング工程と、該形成されたWSi膜上にフォトリソグラフィにより前記配線パターンに対応するマスクを形成するフォトリソグラフィ工程と、該マスクを介して前記WSi膜に対し、SF₆/CF₄/O₂をエッチングガスとして用いて、SF₆の流量を前記エッチングガス全体の流量の5%以上30%以下とし、CF₄の流量を前記エッチングガス全体の流量の30%以上75%以下とし、且つO₂の流量を前記エッチングガス全体の流量の20%以上40%以下として、ケミカルドライエッチングを行い前記配線を形成するエッチング工程とを更に備えたことを特徴とする。

【0020】請求項4に記載の液晶表示パネルの製造方法によれば、例えばスイッチング素子がTFTである場合のゲート配線などの、WSiからなる配線についても、請求項2又は3における遮光膜の場合と同様に、配線用のWSi膜に対し、高いエッチングレートによりエッチングを行いつつ、しかもエッチング後の配線がテーパーを持つように当該ケミカルドライエッチングを行うことが出来る。この結果、テーパーを持つ配線を下地としてその上に各種配線、絶縁層、各種電極等を形成した際に、これらの付き回りが格段に良くなる。

【0021】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされよう。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0023】図1は、本発明の実施の形態である液晶表示パネルの断面図である。尚、図1においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また図2は、図1に示したTFTアレレイ基板1上に形成される各種電極等の平面図である。

【0024】図1において、液晶表示パネル100は、透明な第1基板の一例を構成するTFTアレレイ基板1と、これに対向配置される透明な第2基板の一例を構成

する対向基板2とを備えている。TFTアレレイ基板1は、例えば石英基板からなり、対向基板2は、例えばガラス基板からなる。

【0025】TFTアレレイ基板1には、図2に示すように、マトリクス状に複数の透明な画素電極11が設けられており、図1に示すようにその上側には、ラビング処理等の所定の配向処理が施された配向膜12が設けられている。画素電極11は例えば、ITO膜（インジウム・ティン・オキサイド膜）などの透明導電性薄膜からなる。また配向膜12は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0026】他方、対向基板2には、その全面に渡って共通電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。共通電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0027】TFTアレレイ基板1には、図1及び図2に示すように、複数の画素電極11に夫々隣接する位置に、複数の画素電極11を夫々スイッチング制御する、スイッチング素子の一例としての複数のTFT30が設けられている。

【0028】対向基板2には、更に、ブラックマトリクス23が、TFT30に対向する所定領域に設けられている。このようなブラックマトリクスは、Cr（クロム）やNi（ニッケル）などの金属材料や、カーボンやTi（チタン）をフォトレジストに分散した樹脂ブラックなどの材料から作られ、TFT30のp-Si（ポリシリコン）層32に対する遮光の他に、コントラストの向上、色材の混色防止などの機能を有する。

【0029】このように構成され、画素電極11と共通電極21とが対面するように配置されたTFTアレレイ基板1と対向基板2との間には、後述のシール剤52（図4及び図5参照）により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極11からの電界が印加されていない状態で配向膜12及び22により所定の配向状態を採る。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール剤52は、二つの基板1及び2をそれらの周辺で張り合わせるための接着剤である。

【0030】TFT30に夫々対向する位置においてTFTアレレイ基板1と複数のTFT30との間には、WSi（タングステンシリサイド）からなる遮光層3が夫々設けられている。更に、遮光層3と複数のTFT30との間には、第1層間絶縁層41が設けられている。第1層間絶縁層41は、TFT30を構成するp-Si層32を遮光層3から電氣的絶縁するために設けられるものである。更に、第1層間絶縁層41は、TFTアレレイ基板1の全面に形成されることにより、TFT30のための下地膜としての機能をも有する。即ち、TFTアレレイ

基板1の表面の研磨時における荒れや、洗浄後に残る汚れ等でTFT30の特性の劣化を防止する機能を有する。

【0031】遮光層3は、後述の製造プロセスの第1例又は第3例にあるスパッタリング工程を用いて形成された場合には、遮光層3とTFTアレ基板1との熱的相性の悪さが、前述した従来の製造技術（特開平9-127497号公報等）を用いた場合と比較して緩和されている。

【0032】更に遮光層3は、後述の製造プロセスの第2例又は第3例にあるエッチング工程を用いて形成された場合には、遮光層3がテーパーを持つように形成されており、前述した従来の製造技術（特開平9-127497号公報等）のようにオーバーハング状や矩形状の遮光層を下地とする場合と比較して、遮光層3の上方に形成される層間絶縁層、配線等の付き回りが格段に良くなっており、導通不良や各層間の絶縁不良などの可能性が低減されている。

【0033】尚、遮光層3は、図示しないコンタクトホールを介して所定の配線を経て、接地されているか又は定電位源に接続されている。このため、遮光層3の電位が変化することにより、TFT30のスイッチング特性等に悪影響を及ぼすことがない。但し、遮光層3は電氣的に浮遊していてもよいし、或いは、遮光層3を後述の蓄積容量（図3参照）用の配線として使用することも可能である。

【0034】第1層間絶縁層41は、例えば、NSG（ノンドープトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜等からなる。

【0035】図1に示すように、TFT30は、ゲート電極31（走査電極）、ゲート電極31からの電界によりチャンネルが形成されるp-Si層32、ゲート電極31とp-Si層32とを絶縁するゲート絶縁層33、p-Si層32に形成されたソース領域34、ソース電極35（信号電極）、及びp-Si層32に形成されたドレイン領域36を備えている。ドレイン領域36には、複数の画素電極11のうちの対応する一つが接続されている。ソース領域34及びドレイン領域36は後述のように、p-Si層32に対し、n型又はp型のチャンネルを形成するかに応じて所定濃度のn型用又はp型用のドーパントをドーピングすることにより形成されている。n型チャンネルのTFTは、動作速度が速いという利点があり、p型チャンネルのTFTは、p型チャンネルを形成するのが容易であるという利点がある。ソース電極35（信号電極）は、画素電極11と同様にITO膜等の透明導電性薄膜から構成してもよいし、Al等の金属膜や金属シリサイドなどの不透明な薄膜から構成してもよい。また、ゲート電極31、ゲート絶縁層33及び第1層間絶

縁層41の上には、ソース領域34へ通じるコンタクトホール37及びドレイン領域36へ通じるコンタクトホール38が夫々形成された第2層間絶縁層42が形成されている。このソース領域34へのコンタクトホール37を介して、ソース電極35（信号電極）はソース領域34に電氣的接続されている。更に、ソース電極35（信号電極）及び第2絶縁層42の上には、ドレイン領域36へのコンタクトホール38が形成された第3層間絶縁層43が形成されている。このドレイン領域36へのコンタクトホール38を介して、画素電極11はドレイン領域36に電氣的接続されている。前述の画素電極11は、このように構成された第3層間絶縁層43の上面に設けられている。

【0036】ここで、一般には、チャンネルが形成されるp-Si層32は、光が入射するとp-Siが有する光電変換効果により光電流が発生してしまいTFT30のトランジスタ特性が劣化するが、本実施の形態では、対向基板2には各TFT30に夫々対向する位置に複数のブラックマトリクス23が形成されているので、入射光が直接にp-Si層32に入射することが防止される。更にこれに加えて又は代えて、ゲート電極31を上側から覆うようにソース電極35（信号電極）をA1等の不透明な金属薄膜から形成すれば、ブラックマトリクス23と共に又は単独で、p-Si層32への入射光（即ち、図1で上側からの光）の入射を効果的に防ぐことが出来る。

【0037】図2の平面図に示すように、以上のように構成された画素電極11は、TFTアレ基板1上にマトリクス状に配列され、各画素電極11に隣接してTFT30が設けられており、また画素電極11の縦横の境界に夫々沿ってソース電極35（信号電極）及びゲート電極31（走査電極）が設けられている。尚、図2は、説明の都合上、画素電極11のマトリクス状配列等を簡略化して示すためのものであり、実際の各電極は層間絶縁層の間や上をコンタクトホール等を介して配線されており、図1から分かるように3次元的に複雑な構成を有している。

【0038】図1には示されていないが、図3に示すように、画素電極11には蓄積容量70が夫々設けられている。この蓄積容量70は、より具体的には、p-Si層32と同一工程により形成されるp-Si層32'、ゲート絶縁層33と同一工程により形成される絶縁層33'、ゲート電極31と同一工程により形成される蓄積容量電極（容量線）31'、第2及び第3層間絶縁層42及び43、並びに第2及び第3層間絶縁層42及び43を介して蓄積容量電極31'に対向する画素電極11の一部から構成されている。このように蓄積容量70が設けられているため、デューティ比が小さくても高詳細な表示が可能とされる。尚、蓄積容量電極（容量線）31'は、図2に示すように、TFTアレ基板1の面

上においてゲート電極（走査電極）31と平行に設けられている。また前述のように、遮光層3を蓄積容量70の配線として利用することも可能である。

【0039】以上のように構成された液晶表示パネル100の全体構成を図4及び図5を参照して説明する。尚、図4は、TFTアレイ基板1をその上に形成された各構成要素と共に対向基板2の側から見た平面図であり、図5は、対向基板2を含めて示す図4のH-H'断面図である。

【0040】図4において、TFTアレイ基板1の上には、シール剤52がその縁に沿って設けられており、その内側に並行して対向基板2の周辺見切り53が規定されている。シール剤52の外側の領域には、X側駆動用ドライバ回路101及び実装端子102がTFTアレイ基板1の一辺に沿って設けられており、Y側駆動用ドライバ回路104が、この一辺に隣接する2辺に沿って設けられている。更にTFTアレイ基板1の残る一辺には、複数の配線105が設けられている。また、シール剤52の四隅には、TFTアレイ基板1と対向基板2との間で電氣的導通をとるための導通剤からなる銀点106が設けられている。そして、図5に示すように、図4に示したシール剤52とほぼ同じ輪郭を持つ対向基板2が当該シール剤52によりTFTアレイ基板1に固着されている。

【0041】X側駆動用ドライバ回路101及びY側駆動用ドライバ回路104は配線によりソース電極35（信号電極）及びゲート電極31（走査電極）に夫々電氣的接続されている。X側駆動用ドライバ回路101には、図示しない制御回路から即時表示可能な形式に変換された表示信号が入力され、Y側駆動用ドライバ回路104がパルスのゲート電極31（走査電極）に順番にゲート電圧を送るのに合わせて、X側駆動用ドライバ回路101は表示信号に応じた信号電圧をソース電極35（信号電極）に送る。本実施の形態では特に、TFT30はp-Si（ポリシリコン）タイプのTFTであるので、TFT30の形成時に同一工程で、X側駆動用ドライバ回路101及びY側駆動用ドライバ回路104を形成することも可能であり、製造上有利である。

【0042】尚、X側駆動用ドライバ回路101及びY側駆動用ドライバ回路104をTFTアレイ基板1の上に設ける代わりに、例えばTAB（テープオートメテッドボンディング基板）上に実装された駆動用LSIに、TFTアレイ基板1の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。

【0043】また、図1から図5には示されていないが、対向基板2の投射光が入射する側及びTFTアレイ基板1の投射光が出射する側には夫々、例えば、TN（ツイステッドネマティック）モード、STN（スーパーTN）モード、D-STN（ダブルSTN）モー

ド等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0044】次に以上のように構成された本実施の形態の動作について図1から図5を参照して説明する。

【0045】まず、制御回路から表示信号を受けたX側駆動用ドライバ回路101は、この表示信号に応じたタイミング及び大きさで信号電圧をソース電極35（信号電極）に印加し、これと並行して、Y側駆動用ドライバ回路104は、所定タイミングで電極31（走査電極）にゲート電圧をパルスの順次印加し、TFT30は駆動される。これにより、ゲート電圧がオンとされた時点でソース電圧が印加されたTFT30においては、ソース領域34、p-Si層32に形成されたチャネル及びドレイン領域36を介して画素電極11に電圧が印加される。そして、この画素電極11の電圧は、ソース電圧が印加された時間よりも例えば3桁も長い時間だけ蓄積容量70（図3参照）により維持される。

【0046】このように画素電極11に電圧が印加されると、液晶層50におけるこの画素電極11と共通電極21とに挟まれた部分における液晶の配向状態が変化し、ノーマリーホワイトモードであれば、電圧が印加された状態で入射光がこの液晶部分を通すことができず、ノーマリーブラックモードであれば、電圧が印加された状態で入射光がこの液晶部分を通すことができ、全体として液晶表示パネル100からは表示信号に応じたコントラストを持つ光が出射する。

【0047】特に本実施の形態では、TFT30の下側には、遮光層3が設けられているので、前述のように戻り光による悪影響が低減されるため、TFT30のトランジスタ特性が改善されており、最終的には、液晶表示パネル100により、高コントラストで色付きの良い高画質の画像を表示することが可能となる。

【0048】＜製造プロセスの第1例＞次に、液晶表示パネル100の製造プロセスの第1例について図6及び図7を参照して説明する。

【0049】まず図6の工程（1）に示すように、石英基板、ハードガラス等のTFTアレイ基板1を用意する。ここで、好ましくはN₂（窒素）等の不活性ガス雰囲気かつ約1000℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイ基板1に生じる歪みが少なくなるように前処理しておく。

【0050】このように処理されたTFTアレイ基板1の全面に、WSiターゲットを用いたスパッタリングにより、遮光膜を形成する。続いて、該形成された遮光膜上にフォトリソグラフィにより遮光層3のパターンに対応するマスクを形成し、該マスクを介して遮光膜に対しエッチングを行うことにより、この基板全面に形成された遮光膜をTFT30を形成する予定の領域にのみ残して、遮光層3を形成する。

【0051】この製造プロセスの第1例では特に、スパッタリング工程においては、WSiターゲットは、SiとWのモル比(Si/W)が2.0以上3.0以下とされ、且つSi相粒界寸法が $30\mu\text{m}$ 以下とされる。そして、遮光膜の厚さが 1000\AA 以上 3000\AA 以下となるようにスパッタリングが行われる。ここで、WSiターゲットは、SiとWのモル比(Si/W)が2.0以上3.0以下とされるため、Siを含む高融点金属シリサイドであるWSiからなる遮光層3とSiを含む石英基板等からなるTFTアレイ基板1との熱的相性は良くなる。より具体的には、仮にWやTi、Cr、Ta、Mo、Pd等の高融点金属単体から遮光層3を形成した場合や、仮にTi、Cr、Ta、Mo、Pd等の高融点金属のシリサイドから遮光層3を形成した場合や、仮にモル比(Si/W)が2.0未満又は3.0より大きいWSiターゲットを用いてWSiからなる遮光層を形成した場合と比べて、高温環境と常温環境とに置かれた際に、遮光層3と、TFTアレイ基板1、第1層間絶縁層41及びTFT30の各構成要素との間で、熱膨張率等の物理的性質の差に起因して発生する応力が低減される。また、WSiターゲットは、そのSi相粒界寸法が $30\mu\text{m}$ 以下とされるので、遮光層3の膜質の均一化が促進される。これにより、遮光層3における局所的な遮光率の低下が阻止され、他方で遮光層3が持つTFT30の下地層として性能が向上すると共に、遮光層3の膜質の不均一化による局所的な応力やクラックの発生を阻止し得る。更に、このように形成される遮光層3の厚さは、 1000\AA 以上とされるので、遮光率(透過率)1%以下という、TFTアレイ1の側から戻り光が当該液晶表示パネル100に入射してもTFT30の特性を劣化させないに十分な遮光性が得られる。一方、遮光層3の厚さは 3000\AA 以下とされるので、第1層間絶縁層41が形成される遮光層3の上面の平坦化が促進されると共に、厚さに伴って遮光層3に係る熱応力が過度に大きくなるのを阻止し得る。仮に、遮光層が 1000\AA より薄いと遮光の効果が十分に(例えば、1%程度の透過率が)得られず、また仮に、遮光層が 3000\AA より厚いと、TFT30の形成工程における高温環境と常温環境とにおける熱応力の発生が大きくなり過ぎ、加えて遮光層3自体を形成するための時間やコストの上昇を招くと共に後にTFT30をその上に形成する第1層間絶縁層41の段差が大きくなり過ぎてTFT30の形成が困難になる。また遮光層3の層厚としては、約 $1500\sim 2500\text{\AA}$ がより好ましく、この範囲であれば、良好な遮光性が得られると共に、段差の問題も実用上殆ど生じないで済む。以上の結果、例えば遮光層3に至みが生じたりクラックが入ったり、或いは、TFTアレイ基板1、第1層間絶縁層41、TFT30の各構成要素などに至みが生じたりクラックが入ってしまうのを阻止し得る。

【0052】更に、以上説明したスパッタリング工程を行う際には、TFTトランジスタ基板1の温度を約 200°C 以上の温度に保つことが好ましい。このようにスパッタリングを行うと、遮光層3の透過率を実質的に上げることなく(即ち、遮光性を実質的に低下させることなく)、遮光層3に係る熱応力の発生をより低減することが出来る利点が得られる。

【0053】尚、遮光層3は、少なくともTFT30のp-Si層32のうちチャンネル形成用の領域、ソース領域34及びドレイン領域36をTFTアレイ基板1の裏面から見て覆うように形成される。

【0054】次に図6の工程(2)に示すように、遮光層3の上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMO(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化膜や酸化シリコン膜等からなる第1層間絶縁層41を形成する。第1層間絶縁層41の層厚は、約 $500\sim 8000\text{\AA}$ が好ましい。或いは、熱酸化膜を形成した後、更に減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化膜を約 500\AA の比較的薄い厚さに堆積し、厚さ約 2000\AA の多層構造を持つ第1層間絶縁層41を形成してもよい。更に、このようなシリケートガラス膜に重ねて又は代えて、SOG(スピノンガラス：紡糸状ガラス)をスピノコートして又はCMP(Chemical Mechanical Polishing)処理を施すことにより、平坦な膜を形成してもよい。このように、第1層間絶縁層41の上面をスピノコート処理又はCMP処理により平坦化しておけば、後に上側にTFT30を形成し易いという利点が得られる。

【0055】尚、第1層間絶縁層41に対し、約 900°C のアニール処理を施すことにより、汚染を防ぐと共に平坦化してもよい。

【0056】次に図6の工程(3)に示すように、第1層間絶縁層41の上に、約 $450\sim 550^{\circ}\text{C}$ 、好ましくは約 500°C の比較的低温環境中で、流量約 $400\sim 600\text{cc/min}$ のモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約 $20\sim 40\text{Pa}$ のCVD)により、a-Si(アモルファスシリコン)膜を形成する。その後、窒素雰囲気中で、約 $600\sim 700^{\circ}\text{C}$ にて約1~10時間、好ましくは、4~6時間のアニール処理を施することにより、p-Si(ポリシリコン)膜を約 $500\sim 2000\text{\AA}$ の厚さ、好ましくは約 1000\AA の厚さとなるまで固相成長させる。この際、nチャンネル型のTFT30を作成する場合には、Sb(アンチモン)、As(砒素)、P(リン)などのV族元素のドーパントを僅かにイオン注入等によりドーピングする。また、TFT30をpチャンネル型とする場合には、Al

(アルミニウム)、B (ボロン)、Ga (ガリウム)、In (インジウム) などのIII族元素のドーパントを僅かにイオン注入等によりドーピングする。尚、a-Si膜を経ないで、減圧CVD法等によりp-Si膜を直接形成しても良い。或いは、減圧CVD法等により堆積したp-Si膜にシリコンイオンを打ち込んで一旦非晶質化(アモルファス化)し、その後アニール処理等により再結晶化させてp-Si膜を形成しても良い。

【0057】次に図6の工程(4)に示すように、p-Si層32を約900~1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約300Åの比較的薄い厚さの熱酸化膜を形成し、更に減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化膜を約500Åの比較的薄い厚さに堆積し、多層構造を持つゲート絶縁層33を形成する。この結果、p-Si層32の厚さは、約300~1500Åの厚さ、好ましくは約350~450Åの厚さとなり、ゲート絶縁層33の厚さは、約200~1500Åの厚さ、好ましくは約300Åの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型ウェーハを使用する場合に熱によるそりを防止することができる。但し、p-Si層32を熱酸化することのみにより、単一層構造を持つゲート絶縁層33を形成してもよい。

【0058】次に図6の工程(5)に示すように、p-Si層32上にゲート絶縁層33を介して、減圧CVD法等によりp-Siを堆積した後、ゲートマスクを用いたフォトリソグラフィ工程、エッチング工程等により、ゲート電極31(走査電極)を形成する。

【0059】但し、ゲート電極31(走査電極)を、p-Si層ではなく、Al等の金属膜又は金属シリサイド膜から形成してもよいし、若しくはこれらの金属膜又は金属シリサイド膜とp-Si膜を組み合わせて多層に形成してもよい。この場合、ゲート電極31(走査電極)を、ブラックマトリクス23が覆う領域の一部又は全部に対応する遮光膜として配置すれば、金属膜や金属シリサイド膜の持つ遮光性により、ブラックマトリクス23の一部又は全部を省略することも可能となる。この場合特に、対向基板2とTFTアレイ基板1との貼り合わせずれによる画素開口率の低下を防ぐことが出来る利点がある。

【0060】次に図7の工程(6)に示すように、TFT30をLDD(Lightly Doped Drain Structure)構造を持つnチャネル型のTFTとする場合、p型のp-Si層32に、先ずソース領域34及びドレイン領域36のうちチャネル側に夫々隣接する一部を構成する低濃度ドーピング領域を形成するために、ゲート電極31を拡散マスクとして、PなどのV族元素のドーパントを低濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーピング量にて)ドーピングし、続いて、ゲート電極31よりも幅の広いマスクでレジスト層

をゲート電極31上に形成した後、同じくPなどのV族元素のドーパントを高濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーピング量にて)ドーピングする。また、TFT30をpチャネル型とする場合、n型のp-Si層32に、ソース領域34及びドレイン領域36を形成するために、BなどのIII族元素のドーパントを用いてドーピングする。このようにLDD構造とした場合、ショートチャネル効果を低減できる利点が得られる。尚、このように低濃度と高濃度の2段階に分けて、ドーピングを行わなくても良い。例えば、低濃度のドーピングを行わずに、オフセット構造のTFTとしてもよく、ゲート電極31をマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。

【0061】これらの工程と並行して、nチャネル型p-SiTFT及びpチャネル型p-SiTFTから構成されるCMOS(相補型MOS)構造を持つX側駆動用ドライバ回路101及びY側駆動用ドライバ回路104をTFTアレイ基板1上の周辺部に形成する。このように、TFT30はp-SiTFTであるので、TFT30の形成時に同一工程で、X側駆動用ドライバ回路101及びY側駆動用ドライバ回路104を形成することができ、製造上有利である。

【0062】次に図7の工程(7)に示すように、ゲート電極31(走査電極)を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化膜や酸化シリコン膜等からなる第2層間絶縁層42を形成する。第2層間絶縁層42の層厚は、約5000~15000Åが好ましい。そして、ソース領域34及びドレイン領域36を活性化するために約1000℃のアニール処理を20分程度行った後、ソース電極31(信号電極)に対するコンタクトホール37を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール37を開口した方が、開口形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウェットエッチングとを組み合わせると開口すれば、コンタクトホール37をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。また、ゲート電極31(走査電極)を図示しない配線と接続するためのコンタクトホールも、コンタクトホール37と同一の工程により第2層間絶縁層42に開ける。

【0063】次に図7の工程(8)に示すように、第2層間絶縁層42の上に、スパッタリング処理等により、Al等の低抵抗金属や金属シリサイド等を、約1000~5000Åの厚さに堆積し、更にフォトリソグラフィ

工程、ウェットエッチング工程等により、ソース電極35（信号電極）を形成する。

【0064】この場合、ソース電極35（信号電極）を、ブラックマトリクス23が覆う領域の一部又は全部に対応する遮光膜として配置すれば、Al等の金属膜や金属シリサイド膜の持つ遮光性により、ブラックマトリクス23の一部又は全部を省略することも可能となる。この場合特に、対向基板2とTFTアレイ基板1との貼り合わせずれによる画素開口率の低下を防ぐことが出来る利点がある。

【0065】次に図7の工程（9）に示すように、ソース電極35（信号電極）上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化膜や酸化シリコン膜等からなる第3層間絶縁層43を形成する。第3層間絶縁層43の層厚は、約5000～15000Åが好ましい。或いは、このようなシリケートガラス膜に代えて又は重ねて、有機膜やSOG（スピノンガラス）をスピコートして、若しくは又はCMP処理を施して、平坦な膜を形成してもよい。

【0066】更に、画素電極11とドレイン領域36とを電気的接続するためのコンタクトホール38を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール38を開口した方が、開口形状をマスク形状とほぼ同じにできるという利点が得られる。但し、ドライエッチングとウェットエッチングとを組み合わせると開口すれば、コンタクトホール38をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。

【0067】次に図7の工程（10）に示すように、第3層間絶縁層43の上に、スパッタリング処理等により、ITO膜等の透明導電性薄膜を、約500～2000Åの厚さに堆積し、更にフォトリソグラフィ工程、ウェットエッチング工程等により、画素電極11を形成する。尚、当該液晶表示パネル100を反射型の液晶表示装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極11を形成してもよい。

【0068】続いて、画素電極11の上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、図1に示した配向膜12が形成される。

【0069】他方、図1に示した対向基板2については、ガラス基板等が先ず用意され、この上において複数のTFT30に夫々対応した位置にブラックマトリクス23が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、ブラックマトリクス23は、CrやNiなどの金属材料の他、カーボンやTiをフォトレジストに分散

した樹脂ブラックなどの材料から形成してもよい。その後、対向基板2の全面にスパッタリング処理等により、ITO等の透明導電性薄膜を、約500～2000Åの厚さに堆積することにより、共通電極21を形成する。更に、共通電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22が形成される。

【0070】最後に、上述のように各層が形成されたTFTアレイ基板1と対向基板2とは、配向膜12及び22が対面するようにシール剤52により張り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、所定層厚の液晶層50が形成される。

【0071】尚、図3に示した蓄積容量70については、p-Si層32'を上述のp-Si層32と同一工程により第1層間絶縁層41上に形成し、その上に絶縁層33'を上述のゲート絶縁層33と同一工程により形成し、更にその上に蓄積容量電極（容量線）31'をゲート電極31と同一工程により形成すれば良い。

【0072】以上の製造プロセスにより、図1に示した液晶表示パネル100が完成する。

【0073】この製造プロセスによれば、高温環境と常温環境とに置かれた場合でも、遮光層3とTFTアレイ基板1や第1層間絶縁層41との間で、熱膨張率等の物理的性質の差に起因して発生する応力が緩和される。従って、遮光層3に歪みが生じたりクラックが入ったり、或いは、TFTアレイ基板1、第1層間絶縁層41、TFT30の各構成要素などに歪みが生じたりクラックが入ってしまう事態を、前述した従来の製造技術（特開平9-127497号公報等）を用いた場合と比較して、かなり良く阻止し得る。このため、遮光層3のクラックから戻り光の一部がTFT30のチャンネルに入射することや、遮光層3等の歪みやクラックにより、その後のTFTの形成工程に悪影響を及ぼすことを効果的に阻止できる。この結果、遮光層3の遮光性や信頼性は格段に向上することとなり、TFT30のトランジスタ特性を改善することが出来る。

【0074】以上の結果、本製造プロセスの第1例により、高コントラストで色付きの良い高画質の画像を表示することが可能な液晶表示パネル100を比較的容易に製造できる。

【0075】＜製造プロセスの第2例＞次に、液晶表示パネル100の製造プロセスの第2例について図6から図11を参照して説明する。

【0076】先ず第1例の場合と同様に、図6の工程（1）に示すように、石英基板、ハードガラス等のTFTアレイ基板1を用意する。

【0077】次に、TFTアレイ基板1の全面に、WSiターゲットを用いたスパッタリングにより、遮光膜を

形成する。続いて、該形成された遮光膜上にフォトリソグラフィにより遮光層3のパターンに対応するマスクを形成し、該マスクを介して遮光膜に対しエッチングを行うことにより、この基板全面に形成された遮光膜をTFT30を形成する予定の領域にのみ残して、遮光層3を形成する。

【0078】この製造プロセスの第2例では特に、エッチング工程においては、 $\text{SF}_6/\text{CF}_4/\text{O}_2$ がケミカルドライエッチング用のエッチングガスとして用いられる。そして、 SF_6 の流量が該エッチングガス全体の流量の5%以上30%以下とされ、 CF_4 の流量が該エッチングガス全体の流量の30%以上75%以下とされ、且つ O_2 の流量を該エッチングガス全体の流量の20%以上40%以下とされる。従って、例えば数百～数千 $\text{\AA}/\text{min}$ 程度の実用上適度に高いエッチングレートにより遮光膜に対し比較的短時間でエッチングを行うことができる。しかも、エッチング後には、図8の遮光層3'のようにオーバーハング状（即ち、テーパ角度が90度より大きい状態）となったり又は図8の遮光層3aのようにテーパを持たない矩形状（即ち、テーパ角度が90度）となったりすることなく、図8の遮光層3bのようにテーパを持つ（即ち、テーパ角度が90度未満となる）ように当該ケミカルドライエッチングにより遮光層3を形成することが出来る。尚、図8では、フォトリソにより作られたマスク4'、4a及び4bが、対応する遮光層3'、3a及び3bをマスクする形で夫々点線で示されている。

【0079】ここで、図8から図11を参照して、このような流量比率を持つエッチングガスについてより詳細に説明する。尚、図9は、WSiからなる遮光膜に対し、 $\text{SF}_6/\text{CF}_4/\text{O}_2$ からなるエッチングガス中の SF_6 の流量を変化させた際の、エッチングレートの変化及びエッチングレートの均一性（8インチ基板面内のエッチングレートの均一性）を示す。また、図10は、TFTアレ基板上の一例としての石英基板に対し、 $\text{SF}_6/\text{CF}_4/\text{O}_2$ からなるエッチングガス中の SF_6 の流量を変化させた際の、エッチングレートの変化を示す。更に、図11は、WSiからなる遮光膜に対し、 $\text{SF}_6/\text{CF}_4/\text{O}_2$ からなるエッチングガス中の O_2 の流量を変化させた際のエッチングレートの変化及びテーパ角の変化を示す。

【0080】先ず図9から分かるように、 SF_6 の流量を増加させると、これにほぼ正比例してWSiからなる遮光膜に対するエッチングレートも増加する。従って、従来からの考え方によれば、エッチング深度を制御可能な程度に SF_6 の流量を高く設定して、高エッチングレートを得ようとするのである。

【0081】更に、図11から分かるように、 O_2 流量を増加させると、約10%までは、これにほぼ正比例してエッチングレートも増加する。そして、約10%でエ

ッチングレートはほぼ飽和する。従って、従来からの考え方によれば、エッチング深度を制御可能な程度に O_2 流量を約10%又はそれ以下の所定値に設定して、高エッチングレートを得ようとするのである。

【0082】しかしながら、図9から分かるようにエッチングレートの均一性は SF_6 の流量が10%の付近で最低値をとる（即ち、均一性が最も良好となる）。また、図10から分かるように、 SF_6 の流量を増加させると、これにほぼ正比例して石英基板に対するエッチングレートも増加する。

【0083】そこで本実施の形態では、エッチングレートの均一性が経験的に良好なエッチングが可能であるとされる約15%より低くなるようにし、且つ遮光膜及び石英基板に対するエッチングの選択比を高く維持するため、 SF_6 の流量を該エッチングガス全体の流量の5%以上30%以下とするのである。

【0084】更に図11に示したように、 O_2 の流量を増加させて行くと、15%までは、図8に示したフォトリソから成るマスク4'又は4aがエッチングにより殆ど後退しないため、図8の遮光層3'のようなオーバーハングが形成されるか又は図8の遮光層3aのようにテーパは殆ど形成されない。そして図11に示すように、 O_2 の流量を更に増加させて行くと、図8に示したフォトリソから成るマスク4bがエッチングにより後退するため、その O_2 の流量の増加に応じてテーパ角が減少し、図8の遮光層3bのようなテーパが形成されるようになる。

【0085】そこで、本実施の形態では、 $\text{SF}_6/\text{CF}_4/\text{O}_2$ からなるエッチングガスについて、WSiからなる遮光層3にテーパが形成され且つ比較的高いエッチングレートが得られるように、前述の如く、 SF_6 の流量を該エッチングガス全体の流量の5%以上30%以下とし、 CF_4 の流量を該エッチングガス全体の流量の30%以上75%以下とし、且つ O_2 の流量を該エッチングガス全体の流量の20%以上40%以下とするのである。

【0086】従って、本実施の形態によれば、図8から図11から分かるように、エッチング対象となる面内のエッチングレートの均一性を維持しつつ、エッチングレートとして数百～数千 $\text{\AA}/\text{min}$ 程度の実用上適度に高い（即ち、エッチング深度の制御が比較的容易な程度に高い）値が得られると共に約80度～50度程度の実用上適度なテーパ角度が得られる。

【0087】その後、製造プロセスの第1例で説明した図6及び図7の工程（2）～（10）と同様の工程により、液晶表示パネル100は製造される。

【0088】この製造プロセスによれば、前述した従来の製造技術に従ってオーバーハング状や矩形状の遮光層を下地とする場合と比較して、テーパを持つ遮光層3を下地として工程（2）～（10）により、その上に第

1層間絶縁層41やTFT30、ソース電極35（信号電極）、ゲート電極31（走査電極）、画素電極11、遮光層3用の配線などの各種配線等が形成されるので、これらの層間絶縁層、配線等の付き回りが格段に良くなり、結果的に断線等の導通不良や各層間の絶縁不良などが起き難くなる。

【0089】特に本製造プロセスの第2例では、ゲート電極31（走査電極）を、前述した遮光層3と同様のスパッタリング工程、フォトリソグラフィ工程及びエッチング工程により、遮光層3と同じ組成のWSi膜から形成してもよい。この場合には、遮光層3の場合と同じく、テーパーを持つ配線の一例としてのゲート電極31（走査電極）を下地としてその上にX側駆動用ドライバ回路101への電気的統用の配線、第2層間絶縁層42等を形成した際に、これらの付き回りが格段に良くなる利点が得られる。

【0090】以上の結果、本製造プロセスの第2例により、高コントラストで色付きの良い高画質の画像を表示することが可能な液晶表示パネル100を比較的容易に製造できる。

【0091】＜製造プロセスの第3例＞先ず第1例又は第2例の場合と同様に、図6の工程（1）に示すように、石英基板、ハードガラス等のTFTアレイ基板1を用意する。

【0092】次に、TFTアレイ基板1の全面に、WSiターゲットを用いたスパッタリングにより、遮光膜を形成する。続いて、該形成された遮光膜上にフォトリソグラフィにより遮光層3のパターンに対応するマスクを形成し、該マスクを介して遮光膜に対しエッチングを行うことにより、この基板全面に形成された遮光膜をTFT30を形成する予定の領域にのみ残して、遮光層3を形成する。

【0093】この製造プロセスの第3例では特に、第1例の場合と同様に、スパッタリング工程においては、WSiターゲットは、SiとWのモル比（Si/W）が2.0以上3.0以下とされ、且つSi相粒界寸法が30μm以下とされる。そして、遮光膜の厚さが1000Å以上3000Å以下となるようにスパッタリングが行われる。

【0094】更に、この製造プロセスの第3例では特に、第2例の場合と同様に、エッチング工程においては、SF₆/CF₄/O₂がケミカルドライエッチング用のエッチングガスとして用いられる。そして、SF₆の流量が該エッチングガス全体の流量の5%以上30%以下とされ、CF₄の流量が該エッチングガス全体の流量の30%以上75%以下とされ、且つO₂の流量を該エッチングガス全体の流量の20%以上40%以下とされる。

【0095】以上の結果、第1例の場合と同様に遮光層3やTFTアレイ基板1、第1層間絶縁層41、TFT

30の各構成要素などに歪みが生じたりクラックが入ってしまうのを阻止し得る。更に、第2例の場合と同様にTFT30の下側に遮光層3を形成したことによるTFT30の特性劣化や、遮光層3が下地内部に形成されたことに起因する導通不良及び絶縁不良を効果的に阻止し得る。

【0096】以上の結果、本製造プロセスの第3例により、高コントラストで色付きの良い高画質の画像を表示することが可能な液晶表示パネル100を比較的容易に製造できる。

【0097】最後に、このように本実施の形態独自のスパッタリング工程及びエッチング工程により遮光層3が形成されている構成により、TFT30のトランジスタ特性がどの程度改善されたかについて図12及び図13を参照して、検討を加える。図12は、上述の製造プロセスの第3例により製造した図1の液晶表示パネル100についてのトランジスタ特性試験の結果を示す。これに対し、図13は、図1に示した液晶表示パネル100の構成において、高融点金属の一例としてTi単体から遮光層が形成された比較例についてのトランジスタ特性試験の結果を示す。尚、図12及び図13において、横軸には、ゲート電極に印加するゲート電圧を示し、縦軸にはその際に流れるドレイン電流を示す。また、ソース・ドレイン電圧として15V及び4Vの2種類の状態について、夫々試験結果が示されている。

【0098】図12と図13とを比較すると、TFTアレイ基板1上に本実施の形態独自のスパッタリング工程及びエッチング工程を用いてWSiから遮光層3を形成した場合の方が、TFTアレイ基板1の上に高融点金属の一例としてTi単体から遮光層を形成した場合よりも遥かにTFTのスイッチング特性が改善されていることが分かる。

【0099】尚、図13に示した比較例の場合でも、遮光層を全く設けることなく、戻り光の影響をそのまま受けた例と比較すると、TFTのスイッチング特性は改善されている。

【0100】以上説明した液晶表示パネル100は、カラー液晶プロジェクトに適用されるため、3つの液晶表示パネル100がRGB用のライトバルブとして夫々用いられ、各パネルには夫々RGB色分解用のダイクロイックミラーを介して分解された各色の光が入射光として夫々入射されることになる。従って、各実施の形態では、対向基板2に、カラーフィルタは設けられていない。しかしながら、液晶表示パネル100においてもブラックマトリックス23の形成されていない画素電極11に対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板2上に形成してもよい。このようにすれば、液晶プロジェクト以外の直視型や反射型のカラー液晶テレビなどのカラー液晶表示装置に本実施の形態の液晶表示パネルを適用できる。

【0101】液晶表示パネル100では、従来と同様に入射光を対向基板2の側から入射することとしたが、遮光層3が存在するので、TFTアレイ基板1の側から入射光を入射し、対向基板2の側から出射するようにしても良い。即ち、このように液晶表示パネル100を液晶プロジェクタに取り付けても、チャネル形成用のp-Si層32に光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。

【0102】液晶表示パネル100において、TFTアレイ基板1側における液晶分子の配向不良を抑制するために、第3層間絶縁層43の上に更に平坦化膜をスピコート等で塗布してもよく、又はCMP処理を施してもよい。

【0103】また、液晶表示パネル100のスイッチング素子は、正スタガ型又はコプラナー型のp-SiTFTであるとして説明したが、逆スタガ型のTFTやa-SiTFT等の他の形式のTFTに対しても、戻り光がチャネル形成用の半導体層に入射するのを阻止するという課題の下に、各種の形態での応用が可能である。

【0104】更に、液晶表示パネル100においては、一例として液晶層50をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜12及び22、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶表示パネルの高輝度化や低消費電力化の利点が得られる。更に、画素電極11をA1等の反射率の高い金属膜から構成することにより、液晶表示パネル100を反射型液晶表示装置に適用する場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたSH（スーパーホメオトロピック）型液晶などを用いても良い。更にまた、液晶表示パネル100においては、液晶層50に対し垂直な電界（縦電界）を印加するように対向基板2の側に共通電極21を設けているが、液晶層50に平行な電界（横電界）を印加するように一対の横電界発生用の電極から画素電極11を夫々構成する（即ち、対向基板2の側には縦電界発生用の電極を設けることなく、TFTアレイ基板1の側に横電界発生用の電極を設ける）ことも可能である。このように横電界を用いると、縦電界を用いた場合よりも視野角を広げる上で有利である。その他、各種の液晶材料（液晶相）、動作モード、液晶配列、駆動方法等に本実施の形態を適用することが可能である。

【0105】

【発明の効果】請求項1に記載の液晶表示パネルの製造方法によれば、遮光層と第1基板との熱的相性が良くなり、遮光層の膜質の均一化が促進され、遮光層の上面の平坦化が促進され、遮光層の厚さに伴って応力が過度に大きくならないので、遮光層や第1基板、層間絶縁層、スイッチング素子の各構成要素などに歪みが生じたりクラックが入ってしまうのを阻止しつつ十分な遮光性を持

つ液晶表示パネルを製造できる。

【0106】請求項2に記載の液晶表示パネルの製造方法によれば、高エッチングレートでテーパを持つ遮光層をエッチング形成でき、その上に層間絶縁層、各種配線等を付き回り良く形成できる。従って、スイッチング素子の下側に遮光層を形成したことでスイッチング素子の特性を劣化させないように且つ遮光層を下地内部に形成したことで層間絶縁層、各種配線等に導通不良や絶縁不良を起こさないようにしつつ、十分な遮光性を持つ液晶表示パネルを製造できる。

【0107】請求項3に記載の製造方法によれば、請求項1におけるスパッタリング工程及び請求項2におけるエッチング工程を含むので、これらの工程による効果の両方が得られる。

【0108】請求項4に記載の液晶表示パネルの製造方法によれば、ゲート配線などのWSiからなる配線についても、請求項2又は3における遮光膜の場合と同様に、高エッチングレートでテーパを持つようにエッチング形成でき、その上に各種電極、絶縁層、各種配線等を付き回り良く形成できる。従って、液晶表示パネルの製造における歩留まりを向上させることが出来る。

【図面の簡単な説明】

【図1】 実施の形態の液晶表示パネルの構成を示す断面図である。

【図2】 図1の液晶表示パネルを構成するTFTアレイ基板の平面図である。

【図3】 図1の液晶表示パネルを構成する蓄積容量の断面図である。

【図4】 図1の液晶表示パネルの全体構成を示す平面図である。

【図5】 図1の液晶表示パネルの全体構成を示す断面図である。

【図6】 図1の液晶表示パネルの製造プロセスを順を追って示す工程図（その1）である。

【図7】 図1の液晶表示パネルの製造プロセスを順を追って示す工程図（その2）である。

【図8】 遮光層のオーバーハング及びテーパとエッチングガス中のO₂流量との関係を示す概念図である。

【図9】 本実施の形態の製造プロセスにおける遮光膜に対するエッチングレートの変化及び均一性の変化を示す特性図である。

【図10】 本実施の形態の製造プロセスにおける石英基板に対するエッチングレートの変化を示す特性図である。

【図11】 本実施の形態の製造プロセスにおける遮光膜に対するエッチングレート及びテーパ角の変化を示す特性図である。

【図12】 本実施の形態の液晶表示パネルに設けられたTFTの特性を示す特性図である。

【図13】 比較例としての液晶表示パネルに設けられ

たTFTの特性を示す特性図である。

【符号の説明】

1…TFTアレイ基板

2…対向基板

3、3a、3b、3'…遮光層

4a、4b、4'…マスク

11…画素電極

12…配向膜

21…共通電極

22…配向膜

23…ブラックマトリクス

30…TFT

31…ゲート電極

32…p-Si層

33…ゲート絶縁層

34…ソース領域

35…ソース電極（信号電極）

36…ドレイン領域

37、38…コンタクトホール

41…第1層間絶縁層

42…第2層間絶縁層

43…第3層間絶縁層

50…液晶層

52…シール剤

70…蓄積容量

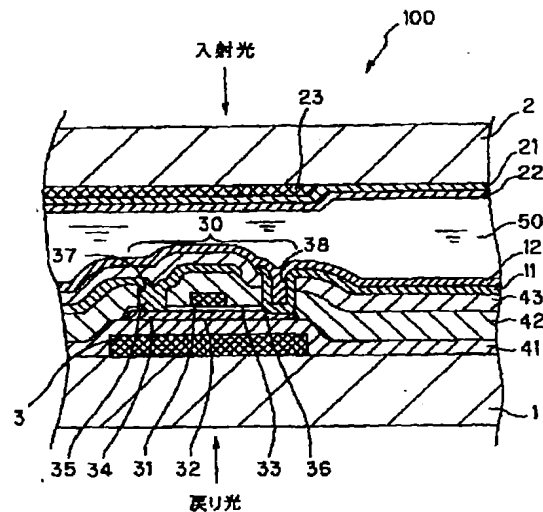
100…液晶表示パネル

101…X側駆動用ドライバ回路

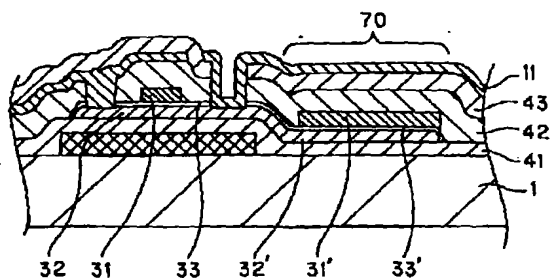
102…実装端子

104…Y側駆動用ドライバ回路

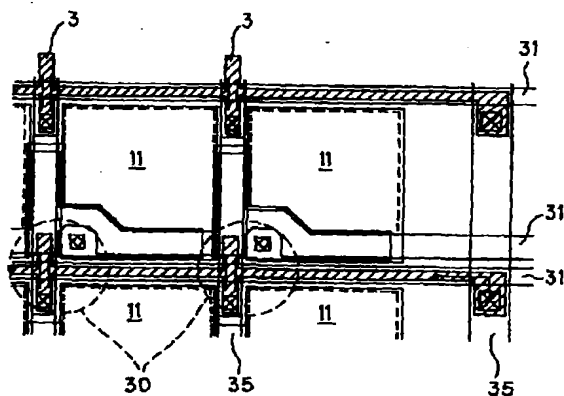
【図1】



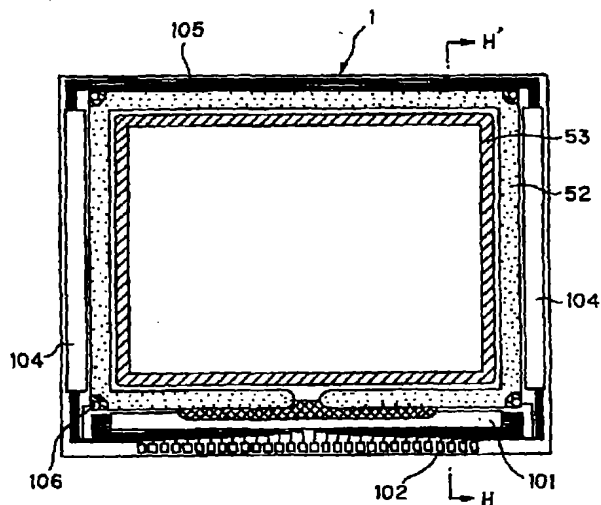
【図3】



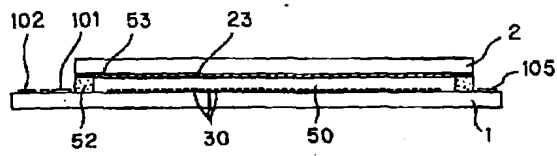
【図2】



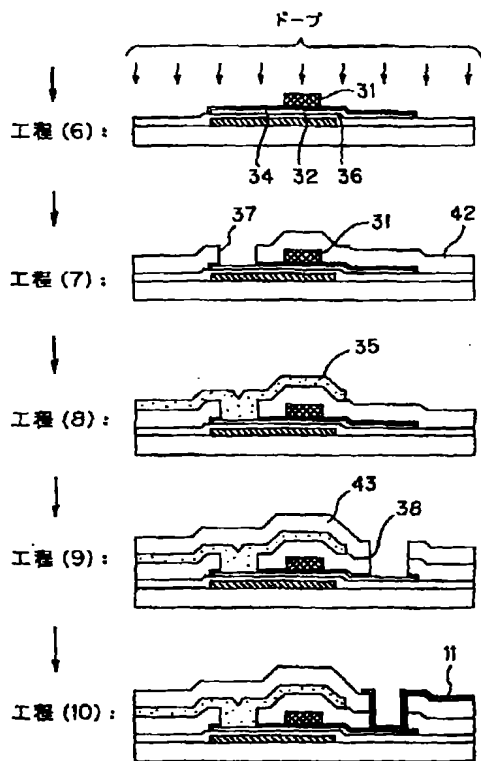
【図4】



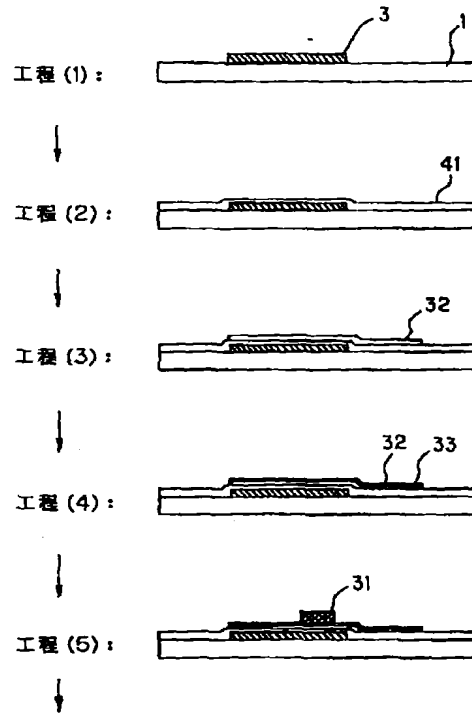
【図5】



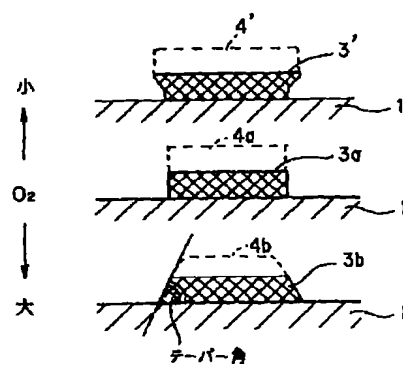
【図7】



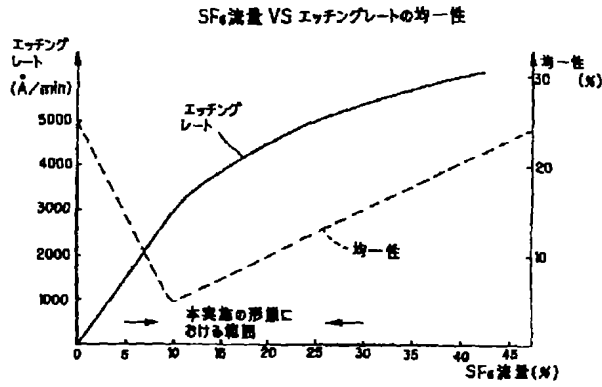
【図6】



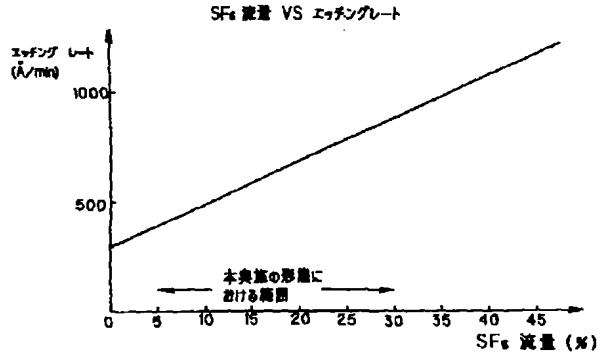
【図8】



【図 9】

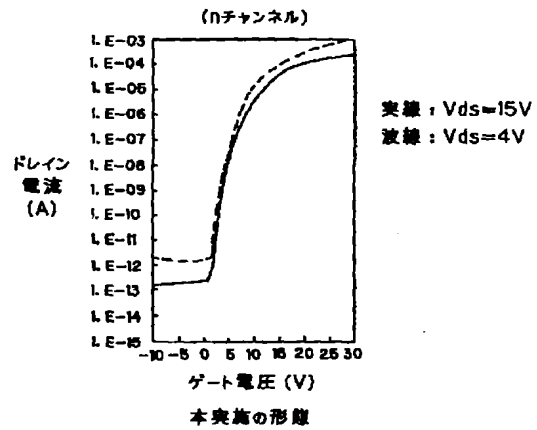
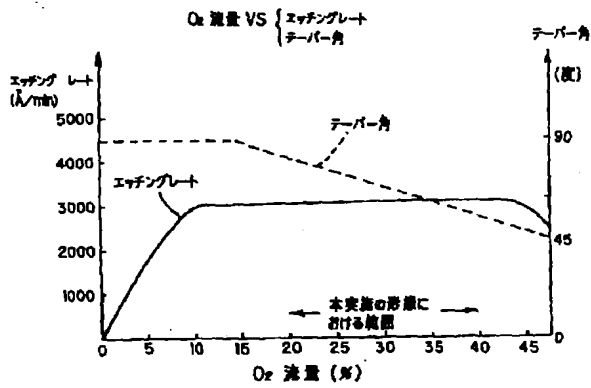


【図 10】

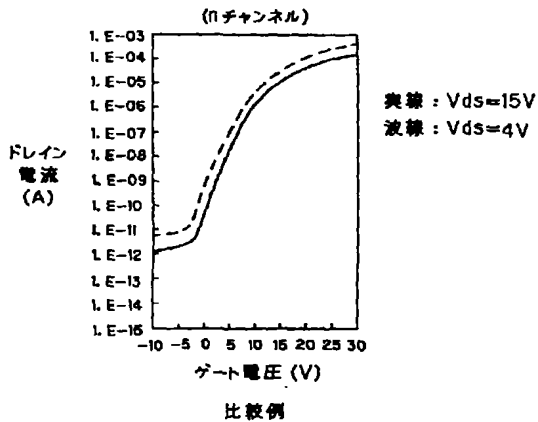


【図 12】

【図 11】



【図 13】



フロントページの続き

(51) Int. Cl.⁶
H 0 1 L 21/203

識別記号

F I
H 0 1 L 21/203 S